

Doc

PTO/SB/21 (09-04)

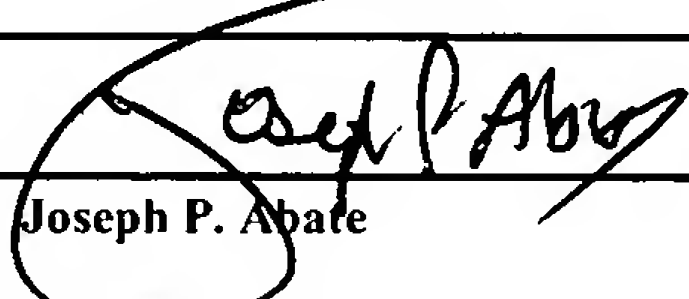
Approved for use through 07/31/2006. OMB 0651-0031


U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM (to be used for all correspondence after initial filing)	Application Number	10/605,633
	Filing Date	10/15/03
	First Named Inventor	Manabu Kodate
	Art Unit	2871
	Examiner Name	Jeffrey Olsen
Total Number of Pages in This Submission	Attorney Docket Number	JP920010171US1

ENCLOSURES (Check all that apply)		
<input type="checkbox"/> Fee Transmittal Form	<input type="checkbox"/> Drawing(s)	<input type="checkbox"/> After Allowance Communication to TC
<input type="checkbox"/> Fee Attached	<input type="checkbox"/> Licensing-related Papers	<input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences
<input type="checkbox"/> Amendment / Reply	<input type="checkbox"/> Petition	<input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief)
<input type="checkbox"/> After Final	<input type="checkbox"/> Petition to Convert to a Provisional Application	<input type="checkbox"/> Proprietary Information
<input type="checkbox"/> Affidavits/declaration(s)	<input type="checkbox"/> Power of Attorney, Revocation Change of Correspondence Address	<input type="checkbox"/> Status Letter
<input type="checkbox"/> Extension of Time Request	<input type="checkbox"/> Terminal Disclaimer	<input type="checkbox"/> Other Enclosure(s) (please identify below):
<input type="checkbox"/> Express Abandonment Request	<input type="checkbox"/> Request for Refund	
<input type="checkbox"/> Information Disclosure Statement	<input type="checkbox"/> CD, Number of CD(s) _____	
<input checked="" type="checkbox"/> Certified Copy of Priority Document(s)	<input type="checkbox"/> Landscape Table on CD	
<input type="checkbox"/> Response to Missing Parts/Incomplete Application	Remarks	
<input type="checkbox"/> Reply to Missing Parts under 37 CFR 1.52 or 1.53		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT			
Firm Name	International Business Machines Corporation		
Signature			
Printed name	Joseph P. Abate		
Date	5-9-05	Reg. No.	30,238

CERTIFICATE OF TRANSMISSION/MAILING			
I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below:			
Signature			
Typed or printed name	Robert Faber	Date	5-9-05

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出 願 年 月 日

Date of Application:

2001年10月31日

出 願 番 号

Application Number:

特願2001-334507

ST.10/C]:

[JP2001-334507]

出 願 人

Applicant(s):

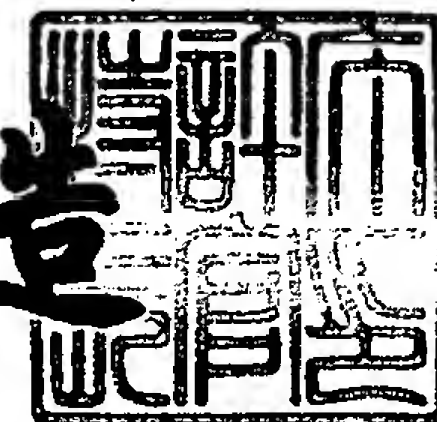
インターナショナル・ビジネス・マシーンズ・コーポレーシ
ョン

CERTIFIED COPY OF
PRIORITY DOCUMENT

2002年 1月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3000803

BEST AVAILABLE COPY

【書類名】 特許願

【整理番号】 JP9010171

【提出日】 平成13年10月31日

【あて先】 特許庁長官 殿

【国際特許分類】 G02F 1/133

【発明者】

【住所又は居所】 神奈川県大和市下鶴間 1 6 2 3 番地 1 4 日本アイ・ビー・エム株式会社 大和事業所内

【氏名】 古立 学

【発明者】

【住所又は居所】 神奈川県大和市下鶴間 1 6 2 3 番地 1 4 日本アイ・ビー・エム株式会社 大和事業所内

【氏名】 神崎 英介

【特許出願人】

【識別番号】 390009531

【氏名又は名称】 インターナショナル・ビジネス・マシーンズ・コーポレーション

【代理人】

【識別番号】 100086243

【弁理士】

【氏名又は名称】 坂口 博

【代理人】

【識別番号】 100091568

【弁理士】

【氏名又は名称】 市位 嘉宏

【代理人】

【識別番号】 100106699

【弁理士】

【氏名又は名称】 渡部 弘道

【復代理人】

【識別番号】 100104880

【弁理士】

【氏名又は名称】 古部 次郎

【選任した復代理人】

【識別番号】 100100077

【弁理士】

【氏名又は名称】 大場 充

【手数料の表示】

【予納台帳番号】 081504

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9706050

【包括委任状番号】 9704733

【包括委任状番号】 0004480

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像表示装置、画素駆動方法、および走査線駆動回路

【特許請求の範囲】

【請求項 1】 表示信号を供給する複数の信号線と、

所定の信号線に接続され、第 1 の水平走査期間に順次選択される第 1 の画素電極群と、

前記所定の信号線に接続され、前記第 1 の水平走査期間の後の第 2 の水平走査期間に順次選択される第 2 の画素電極群と、

前記第 1 の水平走査期間において前記第 1 の画素電極群を駆動する走査信号を供給する第 1 の走査線群と、

前記第 2 の水平走査期間において前記第 2 の画素電極群を駆動する走査信号を供給する第 2 の走査線群と、

を備え、

前記第 1 の水平走査期間において、前記第 2 の走査線群のうちの所定の走査線群が選択されることにより、前記第 2 の画素電極群のうちの所定の画素電極が駆動され、

前記所定の走査線群は、前記第 1 の水平走査期間において選択されてから、前記第 2 の水平走査期間において前記所定の画素電極が駆動されたときまでの間、いずれか一本の走査線が非選択となっている、画像表示装置。

【請求項 2】 前記所定の画素電極は、前記第 1 の水平走査期間および前記第 2 の水平走査期間において同極性で駆動される、請求項 1 に記載の画像表示装置。

【請求項 3】 前記所定の走査線群と前記第 1 の走査線群とは、少なくとも一本の走査線を共有している、請求項 1 に記載の画像表示装置。

【請求項 4】 前記各信号線は、同一の水平走査期間内に同極性の表示信号を供給し、

互いに隣接する前記信号線は、同一の水平走査期間内に異なる極性の表示信号を供給することを特徴とする請求項 1 に記載の画像表示装置。

【請求項 5】 所定の信号線に接続されて、第 1 の水平走査期間内の第 1

から第 m (m は 2 以上の自然数) タイミングで順次駆動される m 個の画素電極と

前記所定の信号線に接続されて、前記第 1 の水平走査期間の後の第 2 の水平走査期間内の第 1 から第 m タイミングで順次駆動される他の m 個の画素電極と、

前記第 2 の水平走査期間において前記他の m 個の画素電極を駆動するために選択される走査線群とを備え、

前記走査線群のうち、前記第 2 の水平走査期間内の第 n (n は 1 から m までの自然数) タイミングで選択される所定の走査線群は、前記第 1 の水平走査期間内においても選択される、画像表示装置。

【請求項 6】 前記第 1 の水平走査期間内における前記所定の走査線群の選択タイミングは、前記第 1 の水平走査期間における第 n タイミング以外のタイミングである、請求項 5 に記載の画像表示装置。

【請求項 7】 前記所定の走査線群には、前記第 1 の水平走査期間内において駆動される前記 m 個の画素電極を駆動制御するための走査信号を供給する走査線が含まれている、請求項 5 に記載の画像表示装置。

【請求項 8】 前記所定の走査線群は、前記第 2 の水平走査期間内において、前記第 1 タイミングから第 $(n-1)$ タイミングまで、少なくとも一本の走査線が非選択とされる、請求項 5 に記載の画像表示装置。

【請求項 9】 前記第 1 の水平走査期間内における前記所定の走査線群の選択タイミングは、前記第 n タイミングであり、

前記所定の走査線群と、前記第 1 の水平走査期間の前記第 n タイミングにおいて前記 m 個の画素電極を駆動する走査信号を供給するための走査線とが互いに異なる、請求項 5 に記載の画像表示装置。

【請求項 10】 複数の走査線に対して接続可能な複数の出力端子と、各前記出力端子に対して複数の信号からなる信号列を出力する信号出力部と、を備え、

前記信号出力部は、一水平走査期間内に同時に複数の前記出力端子のグループに対して前記信号列を出力するとともに、一水平走査期間ごとに、当該出力端子を一個ずつシフトさせて、他の出力端子のグループに前記信号列を出力していき

かつ、所定の水平走査期間内の第一のタイミングにおいて前記出力端子のグループのうちの所定の出力端子に対して出力された信号群を、前記所定の水平走査期間の後の他の水平走査期間内の第二のタイミングにおいて前記所定の出力端子に対して出力し、

前記第一から第二のタイミングの間に、前記所定の出力端子に対して前記信号群と異なる信号を出力する、走査線駆動回路。

【請求項 1 1】 第 1 の水平走査期間において所定の画素電極を選択するとともに予備的に充電する第 1 のステップと、

前記第 1 の水平走査期間の後の第 2 の水平走査期間内に、前記所定の画素電極を含む画素電極群を順次選択して充電する第 2 のステップと、を備え、

前記所定の画素電極は、第 1 のステップにおいて印加された電位を、前記第 2 のステップにおいて選択されるまで保持する、画素駆動方法。

【請求項 1 2】 画素電極がマトリックス状に配置されるとともに、同一の画素構造を有する画素電極が同列に配置され、

前記第 1 の水平走査期間において、前記所定の画素電極と異なる画素電極からなる他の画素電極群を順次選択して充電し、

前記第 1 のステップでは、前記他の画素電極群のうち、前記所定の画素電極が予備的に充電されるタイミングと同一タイミングで駆動される画素電極と異なる列にある画素電極を、前記所定の画素電極とする、請求項 1 1 記載の画素駆動方法。

【請求項 1 3】 表示信号を供給する信号線と、

走査信号を供給する複数の走査線と、

共通する前記信号線に接続されるとともに、前記走査線のうちの隣接する二本の選択の組み合わせにより、各水平走査期間内にそれぞれ駆動される画素電極 A および B を一組とした複数組の画素電極と、

を備え、

一水平走査期間内の第 1 の期間において、前記走査線のうち隣接する二本の走査線が選択されて、一組の画素電極 A および B が駆動され、

次いで第 2 の期間において、前記二本の走査線のうちの一方が選択されて、前記一組の画素電極のうちの画素電極 B が駆動されるとともに、当該二本の走査線を二本シフトさせた他の二本の走査線が選択されて、他の組の画素電極 A および B を駆動する、画像表示装置。

【請求項 1 4】 各前記走査線の入力端にそれぞれ接続される出力バッファを備え、

隣接する三つの前記出力バッファは、それぞれ異なる制御信号により制御され

、
各前記出力バッファには、四水平走査期間分の時間幅からなるパルス信号が一水平走査期間ごとに順次伝送される、請求項 1 3 に記載の画像表示装置。

【請求項 1 5】 複数の画素電極がマトリックス状に配置され、同一組の画素電極 A および B は同一行に位置するとともにその駆動極性が反転し、

かつ、互いに隣接する行に位置する画素電極 A 同士または B 同士はその駆動極性が反転する、請求項 1 3 に記載の画像表示装置。

【請求項 1 6】 表示信号を供給する信号線と、

走査信号を供給する複数の走査線と、

共通する前記信号線に接続されるとともに、前記走査線のうちの隣接する三本の選択の組み合わせにより、各水平走査期間内にそれぞれ駆動される画素電極 A 、 B 、 C を一組とした複数組の画素電極と、

を備え、

一水平走査期間において、隣接する三本の前記走査線のうち少なくとも二本からなる第 1 の走査線群が選択されて、一組の画素電極のうちの画素電極 A が駆動され、同時に、当該第 1 の走査線群を二本シフトさせた第 2 の走査線群が選択されて他の組の画素電極 A が駆動される、画像表示装置。

【請求項 1 7】 前記走査線の入力端にそれぞれ出力バッファが接続され

、
隣接する 3 つの前記出力バッファが、それぞれ異なる制御信号により制御され

、
各前記出力バッファには、三水平走査期間分の時間幅の第 1 のパルスと、当該

第 1 のパルスと一水平走査期間分間隔をおいて伝搬する一水平走査期間分の時間幅の第 2 のパルスとからなる信号列が、一水平走査期間ごとに順次伝送される、請求項 1 6 に記載の画像表示装置。

【請求項 1 8】 表示信号を供給する信号線と、

走査信号を供給する複数の走査線と、

同一の前記信号線に接続されるとともに、前記走査線のうちの隣接する三本の選択の組み合わせにより、各水平走査期間内にそれぞれ駆動される画素電極 A、B、C を一組とした複数組の画素電極と、

を備え、

一水平走査期間において、隣接する三本の前記走査線のうち少なくとも二本からなる第 1 の走査線群が選択されて、一組の画素電極うちの画素電極 A が駆動され、

次いで、前記隣接する三本の走査線のうち、前記第 1 の走査線群と異なる第 2 の走査線群が選択されて、前記一組の画素電極のうちの画素電極 B が駆動されるとともに、前記第 1 の走査線群を一本シフトさせた第 3 の走査線群が選択されて他の組の画素電極 A が駆動される、画像表示装置。

【請求項 1 9】 表示信号を供給する信号線と、

走査信号を供給する複数の走査線と、

共通する前記信号線に接続されるとともに、前記走査線のうちの隣接する二本の選択の組み合わせにより、各水平走査期間内にそれぞれ駆動される画素電極 A および B を一組とした複数組の画素電極と、

を備え、

一水平走査期間内において、前記走査線のうち隣接する二本の走査線からなる第 1 の走査線群が選択されて、一組の画素電極 A および B が駆動され、同時に、前記第 1 の走査線群を四本シフトさせた第 2 の走査線群が選択されて、他の組の画素電極 A および B が駆動される、画像表示装置。

【請求項 2 0】 複数の画素電極がマトリックス状に配置され、同一組の画素電極 A および B は同一行に位置し、かつ、二行ごとに前記画素電極の駆動極性が反転することを特徴とする、請求項 1 9 に記載の画像表示装置。

【請求項 2 1】 前記走査線の入力端にそれぞれ出力バッファが接続され

隣接する 3 つの前記出力バッファは、それぞれ異なる制御信号により制御され

各前記出力バッファには、二水平走査期間分の時間幅の第 1 のパルスと、当該第 1 のパルスと二水平走査期間分間隔をおいて伝搬する二水平走査期間分の時間幅の第 2 のパルスと、からなる信号列が、一水平走査期間ごとに順次伝送される、請求項 1 9 に記載の画像表示装置。

【請求項 2 2】 走査信号を供給する複数の走査線と、

複数系統の出力制御線と、

前記出力制御線の各系統にそれぞれ割り当てられて接続される複数の出力バッファと、

前記出力制御線の各系統に、それぞれ異なる制御信号を出力する制御信号出力部と、

を備える、画像表示装置。

【請求項 2 3】 前記各出力バッファに対して、所定の時間幅のパルス信号を順次伝搬させるパルス信号供給部を備え、

前記パルス信号は、一水平走査期間の m (m は自然数) 倍の時間幅を有し、なおかつ前記出力制御線は、前記 m と異なる n (n は 2 以上の自然数) 系統とされていることを特徴とする、請求項 2 2 記載の画像表示装置。

【請求項 2 4】 複数の走査線にそれぞれ接続可能な複数の出力端子と、

各前記出力端子にそれぞれ接続される出力回路と、

前記出力回路の出力を制御する制御信号を生成する制御信号生成部と、

を備え、

前記制御信号は、 n (n は 2 以上の自然数) 種類生成されるとともに、前記 n 個の前記出力回路に、各種類の前記制御信号がそれぞれ供給される、走査線駆動回路。

【請求項 2 5】 各前記出力回路のそれぞれに接続されるとともに、互いにカスケード接続される複数のシフトレジスタと、

前記複数のシフトレジスタを駆動するクロック信号を生成するクロック信号生成部と、

前記複数のシフトレジスタに順次伝搬すべき信号列を生成する信号列生成部と

、
前記信号列は、前記クロック信号の m (m は自然数) 倍の時間幅を有し、前記 m は前記 n より大きい、請求項 2 4 に記載の走査線駆動回路。

【請求項 2 6】 各前記出力回路のそれぞれに接続されるとともに、互いにカスケード接続される複数のシフトレジスタと、

前記複数のシフトレジスタを駆動するクロック信号を生成するクロック信号生成部と、

前記複数のシフトレジスタに順次伝搬すべき信号列を生成する信号列生成部と

、
前記信号列は、前記クロック信号の m (m は自然数) 倍の時間幅を有し、前記 m は前記 n より小さい、請求項 2 4 に記載の走査線駆動回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、画像表示装置等に係り、特に液晶表示装置の高精細化に寄与する技術に関する。

【0 0 0 2】

【従来の技術】

周知のように、アクティブマトリックス駆動の表示装置においては、表示画素数が多くなるにつれて駆動 IC の数も多くなり、これがコスト高を招く一因となっている。また、画面の高精細化に伴って画素間隔が狭まり画素と駆動 IC との接続が困難となってきた。そこで、これらの問題を同時に解決するために、隣接する 2 つ以上の画素に 1 本のデータ配線から時分割で電位を与え、駆動 IC の数を減らすとともに接続端子のピッチを大きくする多重化画素構造の表示装置が提案されている（例えば、特開平 5 - 3 0 3 1 1 4 号公報、特開平 8 - 2 4 8 3 8 5 号公報）。

【 0 0 0 3 】

【発明が解決しようとする課題】

こうした多重化された画素構造を有する表示装置においては、一行の画素に対して、一水平走査期間内において画素の多重化度に応じた複数種の選択信号を供給する必要がある。このため通常、画素の多重化度に応じた他系統の走査線の組み合わせによって画素を選択するようになっている。しかしながら、このような複数種の選択信号を供給するための選択論理は確立されていない。すなわち、複数の走査線を選択するには、走査線の入力端に接続されたバッファに対して、複数のシフトクロックからなる選択パルスを順次伝搬させればよいが、選択パルスだけでは論理を構成できないので、バッファのON/OFFを制御する出力制御線を複数系統設ける必要がある。しかしながら、出力制御線の系統数と選択パルスのシフトクロック数との関係、あるいは、どのような出力制御信号によって、効率的にバッファのON/OFFを制御できるかなどは、明らかになっていない。

【 0 0 0 4 】

また、これらの表示装置では、従来、一つの画素に電荷を与えていた時間に、時分割で二つ以上の画素に電荷を与えるため、充電時間が短くなり、したがって、選択素子を大きくしない限り、印加電位の精度が低下してしまうという問題点があった。このような充電量不足を補うためには、プレチャージという方法が一般的に知られている。プレチャージとは、画素に書き込みを行う以前のタイミングで、あらかじめ同じ極性のデータを当該画素に書き込んでおき、これにより、画素書き込み時の充電量が少ない場合においても、所望の充電量を実現するようにすることである。

【 0 0 0 5 】

こうしたプレチャージの手法は、多重化されていない画素を有する表示装置においても、高解像度ゆえに書き込み時間が十分取れない場合に、適用することができる。多重化がなされておらず通常画素駆動が行われるこうした表示装置においては、プレチャージを行うタイミングは、プレチャージ対象の画素にもっとも近い同極性の画素の選択時に一意に決定することができる。しかしながら多重化

された画素構造を有する表示装置において、他系統の走査線が隣接する行で共有されていると、反転駆動のタイミングや組み合わせ論理によってプレチャージのタイミングを一意に決めることが困難となる。

【 0 0 0 6 】

本発明は、このような技術的課題に基づいてなされたもので、効率的に、多重化された画素に選択信号を供給することができるような画像表示装置等を提供することを目的とする。また、容易に、プレチャージのタイミングおよび画素の駆動波形や駆動方法を決定することができるような画像表示装置等を提供することを他の目的とする。

【 0 0 0 7 】

【課題を解決するための手段】

かかる目的のもと、本発明の画像表示装置は、以下のような特徴点を有している。すなわち、本発明が適用された画像表示装置は、表示信号を供給する複数の信号線と、所定の信号線に接続され、第1の水平走査期間に順次選択される第1の画素電極群と、この所定の信号線に接続され、第1の水平走査期間の後の第2の水平走査期間に順次選択される第2の画素電極群と、第1の水平走査期間において第1の画素電極群を駆動する走査信号を供給する第1の走査線群と、第2の水平走査期間において第2の画素電極群を駆動する走査信号を供給する第2の走査線群と、を備えている。さらに、この画像表示装置は、第1の水平走査期間において、第2の走査線群のうちの所定の走査線群が選択されることにより、第2の画素電極群のうちの所定の画素電極が駆動され、かつ、所定の走査線群は、第1の水平走査期間において選択されてから、第2の水平走査期間において所定の画素電極が駆動されたときまでの間、いずれか一本の走査線が非選択となっていることを特徴としている。

このような構成において、所定の走査線群は、第1の水平走査期間において選択されてから、第2の水平走査期間において所定の画素電極が駆動されたときまでの間、いずれか一本が非選択となっていることから、所定の走査線群を選択されることにより駆動される所定の画素電極は、この期間チャージされることがない。したがって、第1の水平走査期間における所定の画素電極の駆動をプレチャ

ージとすることができる。

【 0 0 0 8 】

なお、この場合、所定の画素電極が、第 1 の水平走査期間および第 2 の水平走査期間において同極性で駆動されることが望ましい。また、所定の走査線群と第 1 の走査線群とは、少なくとも一本の走査線を共有していてもよい。これにより同時に選択すべき走査線数を減ずることができる。

また、この場合、各信号線は、同一の水平走査期間内に同極性の表示信号を供給するとともに、互いに隣接する信号線が、同一の水平走査期間内に異なる極性の表示信号を供給することが望ましい。これにより、多重化された画素（同一の水平走査期間内に順次選択される画素）ごとに、その極性を反転させた駆動を行うことができる。

【 0 0 0 9 】

また、本発明は、次のような画像表示装置の発明としても捉えることができる。すなわち、本発明が適用された画像表示装置は、所定の信号線に接続されて、第 1 の水平走査期間内の第 1 から第 m （ m は 2 以上の自然数）タイミングで順次駆動される m 個の画素電極と、所定の信号線に接続されて、第 1 の水平走査期間の後の第 2 の水平走査期間内の第 1 から第 m タイミングで順次駆動される他の m 個の画素電極と、第 2 の水平走査期間において他の m 個の画素電極を駆動するために選択される走査線群とを備え、走査線群のうち、第 2 の水平走査期間内の第 n （ n は 1 から m までの自然数）タイミングで選択される所定の走査線群が、第 1 の水平走査期間内においても選択されることを特徴としている。

このように、第 2 の水平走査期間のうち第 n タイミングで選択される走査線を第 1 の水平走査期間においても選択することによって、第 2 の水平走査期間のうち、第 n 番目に駆動される画素をプレチャージすることができる。

【 0 0 1 0 】

この場合、第 1 の水平走査期間内における所定の走査線群の選択タイミングは、第 1 の水平走査期間における第 n タイミング以外のタイミングであってもよい。また、所定の走査線群には、第 1 の水平走査期間内において駆動される m 個の画素電極を駆動制御するための走査信号を供給する走査線が含まれていてもよい。

また、所定の走査線群は、第2の水平走査期間内において、第1タイミングから第 $(n-1)$ タイミングまでの間、少なくとも1本の走査線が非選択とされるものであることが好適である。これにより所定の走査線群が選択されることにより駆動される画素電極は、第2の水平走査期間内において、第1タイミングから第 $(n-1)$ タイミングまでの間、駆動されず、第 n タイミングで初めて駆動されることとなる。

さらに、第1の水平走査期間内における所定の走査線群の選択タイミングは、第 n タイミングであり、かつ、所定の走査線群と、第1の水平走査期間の第 n タイミングにおいて、 m 個の画素電極を駆動する走査信号を供給するための走査線とが互いに異なってもよい。

【0011】

また、本発明は、走査線駆動回路の発明としても捉えることができる。すなわち、本発明が適用された走査線駆動回路は、複数の走査線に対して接続可能な複数の出力端子と、各出力端子に対して複数の信号からなる信号列を出力する信号出力部と、を備え、信号出力部が、一水平走査期間内に同時に複数の出力端子のグループに対して信号列を出力するとともに、一水平走査期間ごとに、当該出力端子を一個ずつシフトさせて、他の出力端子のグループに信号列を出力していくものであることを特徴としている。かつ、所定の水平走査期間内の第一のタイミングにおいて出力端子のグループのうちの所定の出力端子に対して出力された信号群を、この所定の水平走査期間の後の他の水平走査期間内の第二のタイミングにおいて所定の出力端子に対して出力し、第一から第二のタイミングの間に、所定の出力端子に対して信号群と異なる信号を出力することを特徴としている。

このような構成によって、所定の出力端子に接続される走査線を選択することにより駆動される画素電極を、第一および第二のタイミングで駆動することができ、かつ、第一のタイミングから第二のタイミングでは、この画素電極を駆動させないようにすることができる。すなわち、この画素電極を第一のタイミングでプレチャージし、かつ第二のタイミングでチャージするまで、この画素電極が、プレチャージされた電位を保持することが可能となる。

【 0 0 1 2 】

また、本発明は、画素駆動方法の発明としても捉えることができる。すなわち、本発明が適用された画素駆動方法は、第 1 の水平走査期間において所定の画素電極を選択するとともに予備的に充電する第 1 のステップと、第 1 の水平走査期間の後の第 2 の水平走査期間内に、所定の画素電極を含む画素電極群を順次選択して充電する第 2 のステップと、を備え、かつ、この所定の画素電極は、第 1 のステップにおいて印加された電位を、前記第 2 のステップにおいて選択されるまで保持することを特徴としている。

【 0 0 1 3 】

ここで、画素電極がマトリックス状に配置されるとともに、同一の画素構造を有する画素電極が同列に配置されている場合に、第 1 の水平走査期間において、所定の画素電極と異なる画素電極からなる他の画素電極群を順次選択して充電するとともに、第 1 のステップでは、他の画素電極群のうち、所定の画素電極が予備的に充電されるタイミングと同一タイミングで駆動される画素電極と異なる列にある画素電極を、所定の画素電極とするようにしてもよい。

【 0 0 1 4 】

また、本発明は、次のような画像表示装置の発明としても捉えることができる。

すなわち、本発明の画像表示装置は、表示信号を供給する信号線と、走査信号を供給する複数の走査線と、共通する信号線に接続されるとともに走査線のうちの隣接する二本の選択の組み合わせにより、各水平走査期間内にそれぞれ駆動される画素電極 A および B を一組とした複数組の画素電極と、を備え、一水平走査期間内の第 1 の期間において、走査線のうち隣接する二本の走査線が選択されて、一組の画素電極 A および B が駆動され、次いで第 2 の期間において、二本の走査線のうちの一方が選択されて、一組の画素電極のうちの画素電極 B が駆動されるとともに、この二本の走査線を二本シフトさせた他の二本の走査線が選択されて、他の組の画素電極 A および B を駆動することを特徴としている。

このような構成により、画素電極 B を駆動している間に、他の組の画素電極 A をプレチャージすることが可能となる。

【 0 0 1 5 】

この場合、画像表示装置が、各走査線の入力端にそれぞれ接続される出力バッファを備えており、隣接する三つの出力バッファが、それぞれ異なる制御信号により制御され、各出力バッファには、四水平走査期間分の時間幅からなるパルス信号が一水平走査期間ごとに順次伝送されることが好適である。

さらに、この場合、複数の画素電極がマトリックス状に配置され、同一組の画素電極 A および B が同一行に位置するとともにその駆動極性が反転し、かつ、互いに隣接する行に位置する画素電極 A 同士または B 同士はその駆動極性が反転することが好適である。

【 0 0 1 6 】

また、本発明は、次のような画像表示装置の発明としても捉えることができる。

すなわち、本発明が適用された画像表示装置は、表示信号を供給する信号線と、走査信号を供給する複数の走査線と、共通する信号線に接続されるとともに、走査線のうちの隣接する三本の選択の組み合わせにより、各水平走査期間内にそれぞれ駆動される画素電極 A、B、C を一組とした複数組の画素電極と、を備え、一水平走査期間において、隣接する三本の走査線のうち少なくとも二本からなる第 1 の走査線群が選択されて、一組の画素電極のうちの画素電極 A が駆動され、同時に当該第 1 の走査線群を二本シフトさせた第 2 の走査線群が選択されて他の組の画素電極 A が駆動されることを特徴としている。

【 0 0 1 7 】

この場合、走査線の入力端にそれぞれ出力バッファが接続され、隣接する 3 つの前記出力バッファが、それぞれ異なる制御信号により制御され、各出力バッファには、三水平走査期間分の時間幅の第 1 のパルスと、当該第 1 のパルスと一水平走査期間分間隔をおいて伝搬する一水平走査期間分の時間幅の第 2 のパルスとからなる信号列が、一水平走査期間ごとに順次伝送されるものであることが好適である。

【 0 0 1 8 】

また、本発明は、次のような画像表示装置の発明としても捉えることができる

すなわち、本発明が適用された画像表示装置は、表示信号を供給する信号線と、走査信号を供給する複数の走査線と、同一の信号線に接続されるとともに、走査線のうちの隣接する三本の選択の組み合わせにより、各水平走査期間内にそれぞれ駆動される画素電極 A、B、C を一組とした複数組の画素電極と、を備え、一水平走査期間において、隣接する三本の前記走査線のうち少なくとも二本からなる第 1 の走査線群が選択されて、一組の画素電極うちの画素電極 A が駆動され、次いで、隣接する三本の走査線のうち、第 1 の走査線群と異なる第 2 の走査線群が選択されて、その一組の画素電極のうちの画素電極 B が駆動されるとともに、第 1 の走査線群を一本シフトさせた第 3 の走査線群が選択されて他の組の画素電極 A が駆動されることを特徴としている。

【 0 0 1 9 】

さらに、本発明は、次のような画像表示装置の発明としても捉えることができる。すなわち、本発明が適用された画像表示装置は、表示信号を供給する信号線と、走査信号を供給する複数の走査線と、共通する信号線に接続されるとともに、走査線のうちの隣接する二本の選択の組み合わせにより、各水平走査期間内にそれぞれ駆動される画素電極 A および B を一組とした複数組の画素電極と、を備え、一水平走査期間内において、走査線のうち隣接する二本の走査線からなる第 1 の走査線群が選択されて一組の画素電極 A および B が駆動され、同時に、前記第 1 の走査線群を四本シフトさせた第 2 の走査線群が選択されて他の組の画素電極 A および B が駆動されることを特徴としている。

【 0 0 2 0 】

この場合、複数の画素電極がマトリックス状に配置され、同一組の画素電極 A および B は同一行に位置し、かつ、二行ごとに画素電極の駆動極性が反転することが好適である。さらに、この場合、走査線の入力端にそれぞれ出力バッファが接続されるとともに、隣接する 3 つの出力バッファが、それぞれ異なる制御信号により制御され、各出力バッファには、二水平走査期間分の時間幅の第 1 のパルスと、第 1 のパルスと二水平走査期間分間隔をにおいて伝搬する二水平走査期間分の時間幅の第 2 のパルスと、からなる信号列が、一水平走査期間ごとに順次伝送

されることが好適である。

【 0 0 2 1 】

また、他の観点から捉えたと、本発明は次のような画像表示装置としても捉えることができる。すなわち、走査信号を供給する複数の走査線と、複数系統の出力制御線と、出力制御線の各系統にそれぞれ割り当てられて接続される複数の出力バッファと、出力制御線の各系統に、それぞれ異なる制御信号を出力する制御信号出力部と、を備えることを特徴としている。

このような構成によって、複数の走査線に対する信号の供給を同時に制御することができ、複数の走査線の選択の組み合わせにより駆動される画素電極を容易に駆動することができる。

【 0 0 2 2 】

この場合、この画像表示装置が、各出力バッファに対して、所定の時間幅のパルス信号を順次伝搬させるパルス信号供給部を備えるとともに、パルス信号が、一水平走査期間の m (m は自然数) 倍の時間幅を有し、なおかつ出力制御線は、 m と異なる n (n は 2 以上の自然数) 系統とされていることが好適である。

【 0 0 2 3 】

また、本発明は、次のような走査線駆動回路の発明としても捉えることができる。すなわち、本発明が適用された走査線駆動回路は、複数の走査線にそれぞれ接続可能な複数の出力端子と、各出力端子にそれぞれ接続される出力回路と、出力回路の出力を制御する制御信号を生成する制御信号生成部と、を備え、制御信号は、 n (n は 2 以上の自然数) 種類生成されとともに、 n 個の出力回路に、各種類の制御信号がそれぞれ供給されることを特徴としている。

【 0 0 2 4 】

このような走査線駆動回路は、各出力回路のそれぞれに接続されとともに、互いにカスケード接続される複数のシフトレジスタと、複数のシフトレジスタを駆動するクロック信号を生成するクロック信号生成部と、複数のシフトレジスタに順次伝搬すべき信号列を生成する信号列生成部とを備えていることが望ましい。この信号列は、クロック信号の m (m は自然数) 倍の時間幅を有していることが好適であるが、 m は n より大きくてもよいし、小さくてもよい。

特に、 m が n より大きい場合には、比較的少ない数の制御信号で、複数の走査線を選択制御することができる。

【 0 0 2 5 】

【発明の実施の形態】

以下、添付図面に示す実施の形態に基づいてこの発明を詳細に説明する。

[第一の実施の形態]

図 2 は、本発明の第一の実施の形態における液晶表示装置の全体構成を示す図、図 3 は、アレイ基板の構成を示す図である。また、図 4 は、図 2 に示したゲートドライバおよびコントロール回路の要部の構成を示すブロック図である。

この第一の実施の形態にかかる液晶表示装置は、1つの信号線を挟んで隣接する2つの画素が当該信号線を共有することにより、信号線の本数を半減するところに特徴を有している。もちろん、液晶表示装置としては、アレイ基板に対向するカラーフィルタ基板、バックライトユニット等他の要素も備える必要があるが、本発明の特徴部分ではないことからその説明は省略する。

【 0 0 2 6 】

図 2 に示すように、本第一の実施の形態の液晶表示装置（画像表示装置）1 は、そのアレイ基板 A に画像を表示する表示領域 S を有している。そして、液晶表示装置 1 は、表示領域 S 内に配置される画素電極に対して信号線 D を介し表示信号を供給するデータドライバ 3 と、表示領域 S 内に形成された薄膜トランジスタに対してその ON/OFF を制御する走査信号を走査線 G を介して供給するゲートドライバ（走査線駆動回路）5 と、データドライバ 3 およびゲートドライバ 5 を制御するコントロール回路（走査線駆動回路）6 を備えている。

【 0 0 2 7 】

表示領域 S には、画素電極が $M \times N$ (M , N は任意の正の整数) の数だけマトリックス状に配列され、これら画素電極に対応して、走査線 G および信号線 D が所定数設けられている。以下、同一のゲートドライバ 5 に対して接続される走査線 G のうち、画面の走査方向の n 番目に位置する走査線 G を、走査線 G_n と、同一のデータドライバ 3 に対して接続される信号線 D のうち、走査線 G の入力端側から数えて m 番目に位置する信号線 D を、信号線 D_m として表す。

【 0 0 2 8 】

また、図 3 に示すように、アレイ基板 A の表示領域 S においては、信号線 D_m を挟んで隣接する画素電極 A 1 1 および B 1 1 について、第 1 の TFT M 1、第 2 の TFT M 2 および第 3 の TFT M 3 の 3 つの TFT が以下のように配置されている。

まず、第 1 の TFT M 1 は、そのソース電極が信号線 D_m に、またそのドレイン電極が画素電極 A 1 1 に接続する。また、第 1 の TFT M 1 のゲート電極は第 2 の TFT M 2 のソース電極に接続している。ここで、TFT は 3 端子のスイッチング素子であり、液晶表示装置において、信号線に接続される側をソース電極と、また画素電極に接続される側をドレイン電極と呼ぶ例があるが、逆の例もある。つまり、ゲート電極を除く 2 つの電極のいずれをソース電極と、またドレイン電極と呼ぶかは一義的に定まっていない。そこで以下では、ゲート電極を除く 2 つの電極をともにソース／ドレイン電極と呼ぶことにする。

第 2 の TFT M 2 は、その一方のソース／ドレイン電極が第 1 の TFT M 1 のゲート電極に、他方のソース／ドレイン電極が走査線 G_{n+2} に接続されている。したがって、第 1 の TFT M 1 のゲート電極は第 2 の TFT M 2 を介して走査線 G_{n+2} に接続されることになる。また、第 2 の TFT M 2 のゲート電極は走査線 G_{n+1} に接続される。したがって、隣接する 2 本の走査線 G_{n+1} と G_{n+2} が同時に選択電位になっている期間にのみ、第 1 の TFT M 1 が ON 状態となり信号線 D_m の電位が画素電極 A 1 1 に供給される。このことは、第 2 の TFT M 2 が第 1 の TFT M 1 の ON/OFF を制御することを示唆している。

第 3 の TFT M 3 は、その一方のソース／ドレイン電極が信号線 D_m に、また他方のソース／ドレイン電極が画素電極 B 1 1 に接続されている。また、第 3 の TFT M 3 のゲート電極は走査線 G_{n+1} に接続されている。したがって、走査線 G_{n+1} が選択電位になっているときに、第 3 の TFT M 3 が ON になり信号線 D_m の電位が画素電極 B 1 1 に供給される。

【 0 0 2 9 】

以上では第 1 の TFT M 1 ～第 3 の TFT M 3 からみたアレイ基板 A の回路

構成を説明したが、画素電極 A 1 1 および画素電極 B 1 1 からみたアレイ基板 A の回路構成を説明する。画素電極 A 1 1 および画素電極 B 1 1 は単一の信号線 D m から表示信号が供給される。つまり、信号線 D m は、画素電極 A 1 1 および画素電極 B 1 1 に対して共通の信号線 D m ということができる。したがって、画素が M × N のマトリックス状に配列されているのに対して、信号線 D m は N / 2 本となる。

画素電極 A 1 1 には第 1 の T F T M 1 および第 2 の T F T M 2 が接続されており、第 1 の T F T M 1 は信号線 D m に接続されるとともに、第 2 の T F T M 2 に接続される。第 2 の T F T M 2 のゲート電極は画素電極 A 1 1 の後段の走査線 G n + 1 に接続され、また第 2 の T F T M 2 のドレイン電極は走査線 G n + 1 の後段の走査線 G n + 2 に接続されている。ここで、画素電極 A 1 1 に信号線 D m の電位を供給するためには、第 1 の T F T M 1 が ON される必要がある。そして、第 1 の T F T M 1 のゲート電極は第 2 の T F T M 2 のソース／ドレイン電極に接続され、かつ第 2 の T F T M 2 のゲート電極は自己の走査線 G n + 1 に、またソース／ドレイン電極は後段の走査線 G n + 2 に接続されているから、第 1 の T F T M 1 を ON するためには、第 2 の T F T M 2 が ON される必要がある。第 2 の T F T M 2 が ON されるためには、走査線 G n + 1 および走査線 G n + 2 がともに選択されている必要がある。したがって、第 1 の T F T M 1 および第 2 の T F T M 2 は、走査線 G n + 1 および走査線 G n + 2 がともに選択されている際に走査信号の通過を許容するスイッチング機構を構成する。かくして、画素電極 A 1 1 は、走査線 G n + 1 からの走査信号および走査線 G n + 2 からの走査信号に基づき駆動され、信号線 D m からの電位を受ける。

画素電極 B 1 1 には第 3 の T F T M 3 が接続されており、そのゲート電極は走査線 G n + 1 に接続されている。したがって、画素電極 B 1 1 は自己の走査線 G n + 1 が選択されると信号線 D m から電位を供給される。

以上では画素電極 A 1 1 および画素電極 B 1 1 について説明したが、図 3 中に示す画素電極 C 1 1 および画素電極 D 1 1、画素電極 A 1 2、B 1 2、C 1 2、D 1 2、画素電極 A 1 3、B 1 3、C 1 3、D 1 3、さらにそれ以下の画素についても同様の構成が採用されている。

【 0 0 3 0 】

次に、図 4 を参照して、ゲートドライバ 5 およびコントロール回路 6 の構成について説明する。

図 4 に示すように、コントロール回路 6 には、出力可否制御部 8、パルス生成部（信号列生成部） 9、およびクロック信号生成部 10 が設けられている。出力可否制御部 8 は、後述するように、出力制御線 OE 1，OE 2，OE 3 からなる計 3 系統の出力制御線 OE を介してゲートドライバ 5 に対して出力制御信号を出力するものであり、パルス生成部 9 は、ゲートドライバ 5 から走査線 G に対して入力すべき走査信号、すなわちシフトパルスを生成するものである。またクロック信号生成部 10 は、ゲートドライバ 5 を駆動するためのクロック信号を出力するものである。

【 0 0 3 1 】

ゲートドライバ 5 には、出力制御信号、シフトパルス、およびクロック信号が入力されるシフトレジスタ部 12 が設けられている。シフトレジスタ部 12 は、走査線 G と同数設けられたシフトレジスタ SR を互いにカスケード接続することにより形成されている。ここに、シフトレジスタ SR は、各走査線 G に対応して設けられ、バッファ（出力回路） B を介して、走査線 G に接続可能な出力端子 Ot と接続されている。これによりシフトレジスタ SR にあるデータの走査線 G に対する出力をバッファ B を制御することにより制御可能となっている。

バッファ B には、出力制御線 OE が接続されており、バッファ B は、出力制御線 OE を介して入力される出力制御信号が「0」のときに ON に、出力制御信号が「1」であるときに OFF となり、これにより、シフトレジスタ SR から走査線 G への走査信号の出力可否を制御する。なお、バッファ B は、走査線 G に対応して複数配列されているが、互いに隣接する 3 つのバッファ B ごとに、出力制御線 OE 1，OE 2，OE 3 が順次割り当てられて接続されている。したがって、出力可否制御部 8 が、これらの出力制御線 OE 1，OE 2，OE 3 に対して互いに異なる出力制御信号を出力することによって、互いに隣接する 3 つのバッファ B を別個に制御することが可能となっている。

【 0 0 3 2 】

次に、図 1 に示す走査信号のタイミングチャート、および図 5 ～図 9 の回路図を参照しつつ、この液晶表示装置 1 の動作について説明する。

この液晶表示装置 1 は、画素の充電量の不足を解消するために、画素に対して、その画素が画面の一水平走査期間内に保持すべき表示信号電圧を書き込む以前に、予備的に他の表示信号電圧を書き込んでおくように動作するものである。これには、ある画素に対して所定の表示信号電圧を印加する際に、その画素よりも下段、つまり、その画素よりも後にチャージがなされる他の画素に対して、同時にこの所定の表示信号電圧を書き込み、これによって、下段の画素に対して実際に表示信号電圧を印加する際に、すでに所定電圧でのチャージが行われた状態となるようにしている。

以下に、具体的な画素の駆動方法と、画素を実際に駆動する以前に行われる予備的な駆動方法（プレチャージ方法）とを説明する。

図 1 において、線図 $G_{n+1\text{out}} \sim G_{n+5\text{out}}$ は、シフトパルスがシフトレジスタ SR に伝搬されることにより走査線 $G_{n+1} \sim G_{n+5}$ に出力される走査信号の波形を示している。すなわち、これらの線図のうち実線または鎖線で示された部分が立ち上がっているタイミングでは、当該走査線 G が選択され、そうでない部分は当該走査線 G が非選択の状態となっている。なお、これらの線図が立ち上がっている部分のうち、実線で示された部分は、画素電極に対して、この画素電極が一水平走査期間の間保持すべき表示信号電圧を書き込むタイミングを表している。また、鎖線で示された部分は、表示信号電圧を書き込む前に、その書き込み不足を補うために、予備的に表示信号電圧を書き込むタイミング、すなわち、プレチャージのタイミングを示している。

また、図 1 に示す $D_m(1)$ は、信号線 D_m により供給されるデータ信号の電位であり、データ信号が変化するタイミングを示している。ここで示す $D_m(1)$ は、極性の変化を含んだものとなっている。後述するように、信号線 D_m により供給される電位によって、画素電極 A_{11} は、画素電極 B_{11} と同一極性とされ、画素電極 C_{11} 、 D_{11} と異なる極性で駆動される。

【 0 0 3 3 】

まず、画素に対して、その画素が保持すべき表示信号電圧を書き込む際の手順

について説明する。

図 1 のように、走査信号 $G_{n+1\text{out}}$ および $G_{n+2\text{out}}$ が生成される場合、走査信号 $G_{n+1\text{out}}$ および $G_{n+2\text{out}}$ のうち、実線で表された部分、すなわち、画素に表示信号電圧を書き込むタイミングに注目すると、時間 t_0 から t_1 までの期間（第 1 タイミング、第 1 の期間）では走査線 G_{n+1} および G_{n+2} （第 1 の走査線群）の双方が選択されることとなるから、図 5 に示すように第 1 の TFT M1 ~ 第 3 の TFT M3 が ON 状態とされる。これによって、画素電極 A11、画素電極 B11 および画素電極 D11 に、信号線 D_m から画素電極 A11 に与えるべき電位 V_{a11} が供給され、画素電極 A1 の電位 V_{a11} が決定される。なお、図 5 においては、走査線 G_{n+1} と走査線 G_{n+2} が選択されていることを太線で示している。

一方、その後の時間 t_1 から t_2 までの期間（第 2 タイミング、第 2 の期間）においては、走査線 G_{n+2} が非選択電位となり、走査線 G_{n+1} のみが選択されることとなるから、図 6 に示すように第 3 の TFT M3 のみが ON 状態とされる。ここで、信号線 D_m から供給される電位が、画素電極 B11 に与えるべき電位 V_{b11} に変化することにより、画素電極 B11 には電位 V_{b11} が供給され、これにより、画素電極 B11 の電位が決まる。

なお、時間 t_0 から t_2 までの期間は水平走査期間（第 1 の水平走査期間）に相当し、上述のような画素駆動を行うことにより、信号線 D_m の電位を時分割で画素電極 A11 および B11（第 1 の画素電極群）に供給することができる。

【 0 0 3 4 】

走査線 G_{n+1} が非選択電位になった後に、図 1 に示すように、信号線 D_m の電位はその極性が反転するとともに、画素電極 C11 に与えるべき電位 V_{c11} に変化する。

ここで、図 1 において、走査信号 $G_{n+2\text{out}}$ および $G_{n+3\text{out}}$ に着目すると、時間 t_2 から t_3 までの期間（第 1 タイミング）では、走査線 G_{n+2} および G_{n+3} の双方が選択されている。これにより、図 7 に示すように、画素電極 C11、画素電極 D11 および画素電極 B12 に、信号線 D_m から画素電極 C11 に与えるべき電位 V_{c11} が供給され、画素電極 C11 の電位 V_{c11} が決定さ

れる。

また、その後の時間 t_3 から t_4 までの期間（第 2 タイミング）では、走査線 G_{n+3} が非選択電位となり、走査線 G_{n+2} のみが選択されることとなるから、図 8 に示すように、信号線 D_m から供給される電位が、画素電極 D_{11} に与えるべき電位 V_{d11} に変化することにより、画素電極 D_{11} には電位 V_{d11} が供給され、これにより、画素電極 D_{11} の電位が決まる。

この場合、画素電極 A_{11} 、 B_{11} に対して供給される電位 V_{a11} 、 V_{b11} と、画素電極 C_{11} 、 D_{11} に対して供給される電位 V_{c11} 、 V_{d11} とは、逆極性であるために、液晶表示装置 1 は、1 行ごとにその極性が反転するライン反転駆動の表示装置として駆動されることとなる。

【0035】

次に、画素のプレチャージ方法について説明する。

上述のように、画素のプレチャージは、ある画素電極に表示信号電圧を印加してチャージを行う際に、その画素電極よりも下段にある（ n の値が大きい走査線 G によって選択される）画素電極に対して、同時にこの表示信号電圧を供給することにより行われる。以下、画素電極が保持すべき表示信号電圧を印加して画素電極を充電することを単にチャージと、画素が保持すべき表示信号電圧が印加される以前に他の表示信号電圧を印加して画素を充電することを、プレチャージと呼ぶ。

ここで、ある画素電極 X をチャージする際に同時にプレチャージされる画素電極 Y は、画素電極 X に対して次の A、B のような関係を有することが望ましい。
A、画素電極 Y がプレチャージされてからチャージされるまでに、画素電極 X 、 Y 以外の画素電極のチャージ時に同時にプレチャージされることがなく、

かつ

B、チャージされた画素電極 Y および画素電極 X は同極性であり、選択タイミング（チャージされるタイミング）が一番近い。

【0036】

この第一の実施の形態においては、上記 A、B の条件を満たすプレチャージ手法として、例えば、図 3 に示す画素電極 B_{11} をチャージする場合に、その 2 行

下段にある画素電極 A 1 2（所定の画素電極）を選択するようにする。

ここで、画素電極 A 1 1 をチャージする場合に、画素電極 A 1 1 から最も近く、かつ同一の極性の画素電極 A 1 2 をプレチャージしないのは、仮に画素電極 A 1 2 をプレチャージするとすると、図 9 に示すように、その選択線である走査線 G_{n+3} および G_{n+4} を選択する必要があり、この場合、走査線 G_{n+2} と G_{n+3} が同時に選択されることによって、画素電極 C 1 1 が逆極性で駆動されてしまうためである。

つまり、こうしたプレチャージ方法を採用すると、同じ列のうち、互いに隣接する行にある画素電極を考えた場合に、上段にあるものがチャージされるときに、その下段にあるものがチャージされてしまう。したがって、画素電極 A 1 1 のチャージ時に画素電極 A 1 2 がプレチャージされた後、画素電極 C 1 1 をチャージする際に、画素電極 A 1 2 が、チャージすべき電圧と逆極性で再びプレチャージされてしまい、上記 B の条件に反することとなるからである。

【 0 0 3 7 】

具体的に画素電極 B 1 1 のチャージ時において、画素電極 A 1 2 をプレチャージするには、図 1 中に鎖線で示すように、時間 t_1 から t_2 までの間に、走査信号 $G_{n+3\text{ out}}$ および $G_{n+4\text{ out}}$ の電位を立ち上げ、これによって、図 6 に示すように、画素電極 A 1 2 の選択線である走査線 G_{n+3} および G_{n+4} を選択して、画素電極 A 1 2 への表示信号の供給を制御する第 1 の TFT M1、第 2 の TFT M2 を ON とする。これにより、画素電極 B 1 1 に対して供給される表示信号と同一の表示信号が、信号線 D_m から画素電極 A 1 2 に対して供給され、画素電極 A 1 2 に電位 V_{b11} が印加されて、画素電極 A 1 2 が画素電極 B 1 2 と同一極性でプレチャージされる。

なお、この場合、走査線 G_{n+3} が選択されることにより、信号線 D_m から画素電極 B 1 2 への表示信号の供給を制御する第 3 の TFT M3 が ON とされるとともに、走査線 G_{n+4} が選択されることにより、信号線 D_m から画素電極 D 1 2 への表示信号の供給を制御する第 3 の TFT M3 が ON とされる。したがって、これら画素電極 B 1 3 および D 1 3 にも電位 V_{b11} が印加されることとなる。

【 0 0 3 8 】

この後、時間 t_2 から t_3 までの期間では、図 1 に示すように、いずれの走査線 G についてもプレチャージのための選択がなされず、したがって、図 7 に示すように、画素電極 A_{12} 、 D_{12} は、電位 V_{b11} が保たれたままとなる。ただし、上述のように、走査線 G_{n+3} が選択されることによって画素電極 B_{12} に対して接続される第 3 の TFT M_3 が ON 状態とされ、これにより画素電極 B_{12} は、画素電極 C_{11} と同電位 V_{c11} となる。

【 0 0 3 9 】

次に、画素電極 D_{11} のチャージを行う期間である時間 t_3 から t_4 までの期間では、図 1 中に鎖線で示すように、走査信号 G_{n+4out} および G_{n+5out} の電位が立ち上がることにより、走査線 G_{n+4} および G_{n+5} が選択される。これにより、画素電極 C_{12} 、 D_{12} 、 B_{13} への表示信号の供給を制御する第 1 の TFT M_1 、第 2 の TFT M_2 、第 3 の TFT M_3 が ON 状態とされ、図 8 に示すように、信号線 D_m から画素電極 C_{12} 、 D_{12} 、 B_{13} に対して表示信号が供給され、これにより、画素電極 C_{12} 、 D_{12} 、 B_{13} に画素電極 D_{11} と同じ電位 V_{d11} が印加される。したがって、画素電極 C_{13} を画素電極 C_{11} と同一極性でプレチャージすることができる。

以下同様の手順を繰り返すことにより、チャージ対象の画素電極の後段の画素電極についてプレチャージが行われる。

なお、このようなプレチャージに伴い、図 1 に示すように、時間 t_0 から t_1 までの間では、走査線 G_{n+4} が選択され、これにより、図 5 に示すように、画素電極 D_{12} が駆動されるとともに電位 V_{a11} で充電される。また、図 1 に示すように、時間 t_2 から t_3 までの間では、走査線 G_{n+5} が選択され、これにより、図 7 に示すように画素電極 B_{13} が駆動されるとともに電位 V_{c11} で充電される。

【 0 0 4 0 】

また、こうしたプレチャージの手法をマトリックス表示したのが図 10 である。図 10 のマトリックスにおいて A 、 B で示す各列は、画素電極 A_{11} 、 A_{12} 、 \dots および B_{11} 、 B_{12} 、 \dots が駆動されるタイミングを表し、また、 $g(n+)$

1), $g(n+2)$, ...として示す行は、走査線 $G(n+1)$, $G(n+2)$, ...を表す。そしてマトリックスの各項は、そのハッチングの有無により、画素電極 $A11$, $A12$, ...および $B11$, $B12$, ...が駆動されるタイミングにおいて、走査線 $G(n+1)$, $G(n+2)$, ...が選択されているか否かを表している。例えば、このマトリックスの1行1列目において付されたハッチングは、画素電極 $A11$ を駆動するタイミングにおいて、走査線 $G(n+1)$ が選択されたことを表している。

また、マトリックスの各項において表示されたAまたはBの文字は、その項に対応した走査線 $G(n+1)$, $G(n+2)$, ...が選択されることによって、その画素電極 $A11$, $A12$, ...または $B11$, $B12$, ...のいずれかが駆動されるかを表している。例えば、マトリックスの1行1列目と2行1列目に「A」が表示されることによって、画素電極 $A11$, $A12$, ...を駆動すべきタイミングにおいて、走査線 $G(n+1)$ および $G(n+2)$ が同時に選択されることにより、画素電極 $A11$ が駆動されることが表わされている。また、各項に表示される「P」の文字は、画素電極の駆動がプレチャージのためであるか否かを表している。

さらに、マトリックスの各項に示された「+」または「-」の符号は、その項に対応した走査線 $G(n+1)$, $G(n+2)$, ...とその一つ下段の走査線 $G(n+2)$, $G(n+3)$, ...との間にある画素電極 $A11$, $A12$, ...または $B11$, $B12$, ...の駆動極性を示している。

このマトリックスによれば、走査線 $G(n+1)$ を選択して、画素電極 $B11$ を駆動する際に、走査線 $G(n+2)$ および $G(n+3)$ を駆動して、その2行下段の画素電極 $A12$ のプレチャージが行われることが理解される。

【 0 0 4 1 】

このようなプレチャージ方法では、例えば、図1に示した走査信号 G_{n+3out} および G_{n+4out} に着目すると、時間 t_1 から t_2 までの期間（第一のタイミング）において、走査線 G_{n+3} と G_{n+4} （所定の走査線）とが選択されることにより画素電極 $A12$ （所定の画素電極）がプレチャージされた後は、画素電極 $A12$, $B12$ （第2の画素電極群、画素電極群）が順次駆動される時間 t_4

から t_6 までの間（第 2 の水平走査期間）のうち、時間 t_4 から t_5 の間（第 2 のタイミング、第 1 タイミング）で走査線 G_{n+3} および G_{n+4} の双方（第 2 の走査線群）が選択されることにより画素電極 A_{12} がチャージされるまで、他の画素電極の駆動時に、走査線 G_{n+3} および G_{n+4} の少なくとも一方は非選択とされている（すなわち、チャージ時と異なる信号が走査線 G_{n+3} および G_{n+4} に出力される）。したがって、画素電極 A_{12} は、時間 t_1 から t_2 の間においてプレチャージされてから、時間 t_4 から t_5 までの間においてチャージされるまでに再びプレチャージされることが無く、上述のようにプレチャージを行うことによって、上記 B の条件が満たされることとなる。同様のことが、画素電極 C_{12} および画素電極 A_{13} と同じ列に配置された他の画素電極についても成り立つ。

【 0 0 4 2 】

次に、このような画素電極のチャージおよびプレチャージを可能とするようなゲートドライバ 5 の制御方法について説明する。

図 1 1 は、走査線 $G_{n+1} \sim G_{n+4}$ に供給される走査信号 $G_{n+1\text{out}} \sim G_{n+4\text{out}}$ と、これに対応してシフトレジスタ SR に対して出力されるシフトパルス（信号列） SDI および出力制御信号 $OE_1 \sim OE_3$ と、シフトレジスタ SR を駆動するクロック信号 $DCPV$ との関係を示すタイミングチャートである。なお、図 1 1 においては、走査信号 $G_{n+1\text{out}} \sim G_{n+4\text{out}}$ のうち、プレチャージのために電位が立ち上がる部分についても、実線で表している。

【 0 0 4 3 】

図中に示すように、シフトパルス SDI は、その立ち上がりから立ち下がりまでの時間幅が、クロック信号 $DCPV$ の 4 周期分となっている。このシフトパルス SDI は、クロック信号 $DCPV$ の 1 周期をもって、クロック信号 $DCPV$ の立ち上がりに同期して次のシフトレジスタ SR に対して移動するために、クロック信号 $DCPV$ の 4 周期分の時間幅を有することによって、図中に示すように、走査信号を走査線 $G_{n+1} \sim G_{n+4}$ の 4 本の走査線 G を同時に選択することが可能となる。なお、クロック信号 $DCPV$ の一周期は、一水平走査期間と同一になっている。したがって、シフトパルス SDI の時間幅は水平走査期間の 4 倍と

なっている。

【 0 0 4 4 】

4本の走査線 $G_{n+1} \sim G_{n+4}$ を同時に選択するには、4系統の出力制御線OEが必要になると考えられるが、本第一の実施の形態においては、図11のような出力制御信号OE1～OE3を採用することによって、3系統の出力制御線OEにより、4本の走査線Gを同時に選択することができる。すなわち、本第一の実施の形態は、図10のマトリックスで示すようなチャージおよびプレチャージ手法を採用している。図10のマトリックスにおいて、 $g(n+1)$ で示す行と $g(n+4)$ で示す行が表す走査線 $G(n+1)$ および $G(n+4)$ の選択・非選択は、タイミングAおよびBのいずれについても同一となっている。つまり、走査線 G_{n+1} に接続されたバッファBに供給すべき出力制御信号と走査線 G_{n+4} に接続されたバッファBに供給すべき出力制御信号とを同一の信号とすることができる。同様に走査線 G_{n+2} と G_{n+5} 、 G_{n+3} と G_{n+6} 、…に接続されるバッファBについてもそれぞれ同一の出力制御信号を供給することが可能であり、したがって、出力制御線OEが3系統で足りるのである。

【 0 0 4 5 】

以上述べたように、本第一の実施の形態では、プレチャージに必要な条件を満たしつつ、多重画素構造を有する画素電極のチャージおよびプレチャージを行うことができ、これにより、高精細化された液晶表示装置1を、精度よく駆動することができる。

さらに、このプレチャージ方法では、画素電極B12をチャージする際に、異なる列にある画素電極A12をプレチャージするようにしている。このように、チャージすべき画素電極と異なる列にある画素電極も含めて、上記A、Bの条件を満たすような画素電極を選択するようにすることで、同じ列にある画素電極のみ上記A、Bの条件を満たすような画素電極を選択する場合に比較して、選択の幅が広がり、したがって、チャージを行うべき画素電極が存在する行と、同時にプレチャージを行うべき画素電極が存在する行との間隔を狭めることができる。これにより、プレチャージからチャージまでの時間間隔を短くして、表示画素以外の画素に対する影響を最小限とすることができる。

【 0 0 4 6 】

また、この第一の実施の形態では、クロック信号 D C P V の 4 周期分（水平走査期間の 4 倍）の時間幅を有するシフトパルス S D I を、3 系統の出力制御線 O E によって制御することができる。すなわち、4 本の走査線 G の選択制御を、それより少ない 3 系統の出力制御線 O E によって制御することができるから、走査線 G の選択制御を、同時に制御すべき走査線 G の数よりも少ない数の制御信号によって行うことができ、これにより出力制御線 O E の数を減じて、コストダウンおよび回路設計の容易化等を図ることができる。

なお、本第一の実施の形態においては、アレイ基板 A は図 3 に示すように構成されていたが、これに代えて、図 1 2 のような回路構成を採用することもできる。

【 0 0 4 7 】

[第二の実施の形態]

次に、本発明の第二の実施の形態について説明する。

この第二の実施の形態における液晶表示装置 1 の全体構成は、上記第一の実施の形態と同様であるために、ここでは、その説明を省略するとともに、上記第一の実施の形態と異なる点を中心に説明する。

この第二の実施の形態が、上記第一の実施の形態と異なる点は、アレイ基板の回路構成に関する点および画素の駆動方法に関する点である。

【 0 0 4 8 】

図 1 3 は、本発明の第二の実施の形態におけるアレイ基板の構成を示す図である。

上記第一の実施の形態では、2 つの画素が 1 つの信号線 D m を共有していたのに対して、本第二の実施の形態では、3 つの画素が 1 つの信号線 D m を共有する形態となっている。

すなわち、図 1 3 に示すように、本第二の実施の形態の液晶表示装置 1 のアレイ基板においては、信号線 D m を画素電極 A 3 1（画素電極 D 3 1、…）、画素電極 B 3 1（画素電極 E 3 1、…）および画素電極 C 3 1（画素電極 F 3 1、…）の 3 つの画素が共有している。そして、画素電極 A 3 1 には、走査線 G n + 1

および走査線 G_{n+3} の両者が選択電位となったときに、信号線 D_m のデータ電位が供給される。また、画素電極 B_{31} には、走査線 G_{n+1} および走査線 G_{n+2} が選択電位となったときに、信号線 D_m のデータ電位が供給される。また、画素電極 C_{31} は、走査線 G_{n+1} が選択電位となったときに、信号線 D_m のデータ電位が供給される。

【 0 0 4 9 】

以上のような動作を行うために、本第二の実施の形態ではスイッチング素子としての第 1 の TFT M_{31} ～第 5 の TFT M_{35} の配置を以下に説明するように設定している。

すなわち、図 13 に示すように、第 1 の TFT M_{31} は、その一方のソース／ドレイン電極が画素電極 A_{31} に、また他方のソース／ドレイン電極が信号線 D_m に接続する。また、第 1 の TFT M_{31} のゲート電極は第 2 の TFT M_{32} のソース／ドレイン電極に接続している。

第 2 の TFT M_{32} は、その一方のソース／ドレイン電極が走査線 G_{n+3} に、またその他方のソース／ドレイン電極が第 1 の TFT M_{31} のゲート電極に接続されている。したがって、第 1 の TFT M_{31} のゲート電極は第 2 の TFT M_{32} を介して走査線 G_{n+3} に接続されることになる。また、第 2 の TFT M_{32} のゲート電極は走査線 G_{n+1} に接続される。したがって、2 本の走査線 G_{n+1} と G_{n+3} が同時に選択電位になっている期間にのみ、第 1 の TFT M_{31} が ON になり信号線 D_m の電位が画素電極 A_{31} に供給される。このことは、第 2 の TFT M_{32} が第 1 の TFT M_{31} の ON/OFF を制御するスイッチング素子であることを示している。

第 3 の TFT M_{33} は、その一方のソース／ドレイン電極が信号線 D_m に、他方のソース／ドレイン電極が画素電極 C_{31} に接続されている。また、第 3 の TFT M_{33} のゲート電極は走査線 G_{n+1} に接続している。

第 4 の TFT M_{34} は、その一方のソース／ドレイン電極が信号線 D_m に、他方のソース／ドレイン電極が画素電極 B_{31} に接続されている。また、第 4 の TFT M_{34} のゲート電極は第 5 の TFT M_{35} のソース／ドレイン電極に接続している。

また、第5のTFT M3 5は、その一方のソース／ドレイン電極が走査線 G_{n+2} に、また他方のソース／ドレイン電極が第4のTFT M3 4のゲート電極に接続されている。したがって、第4のTFT M3 4のゲート電極は第5のTFT M3 5を介して走査線 G_{n+2} に接続されることになる。また、第5のTFT M3 5のゲート電極は走査線 G_{n+1} に接続される。したがって、2本の走査線 G_{n+1} と G_{n+2} が同時に選択電位になっている期間にのみ、第4のTFT M3 4がONになり信号線 D_m の電位が画素電極B 3 1に供給される。このことは、第5のTFT M3 5が第4のTFT M3 4のON／OFFを制御するスイッチング素子であることを示している。

【0050】

また、以上では第1のTFT M3 1～第5のTFT M3 5からみたアレイ基板の回路構成であるが、画素電極A 3 1～画素電極C 3 1からみた液晶表示装置1の回路構成を説明する。

画素電極A 3 1～画素電極C 3 1には単一の信号線 D_m から表示信号が供給される。つまり、信号線 D_m は、画素電極A 3 1～画素電極C 3 1に対する共通の信号線 D_m となっている。画素電極A 3 1には第1のTFT M3 1および第2のTFT M3 2が接続されており、第1のTFT M3 1は信号線 D_m に接続されるとともに、第2のTFT M3 2に接続される。第2のTFT M3 2のゲート電極は自己の走査線 G_{n+1} に接続され、また第2のTFT M3 2のソース／ドレイン電極は後段の走査線 G_{n+3} に接続されている。ここで、画素電極A 3 1に信号線 D_m の電位を供給するためには、第1のTFT M3 1がONされる必要がある。そして、第1のTFT M3 1のゲート電極は第2のTFT M3 2のソース／ドレイン電極に接続され、かつ第2のTFT M3 2のゲート電極は画素電極A 3 1および画素電極B 3 1よりも後段に位置する走査線 G_{n+1} に、またソース／ドレイン電極は走査線 G_{n+1} よりも後段の走査線 G_{n+3} に接続されているから、第1のTFT M3 1をONするためには、第2のTFT M3 2がONとされる必要がある。第2のTFT M3 2がONとされるためには、走査線 G_{n+1} および後段の走査線 G_{n+3} が選択電位となる必要がある。このように、画素電極A 3 1は、走査線 G_{n+1} からの走査信号および走査線 G

$n + 3$ からの走査信号に基づき駆動され、信号線 D_m からの電位を受ける。

【 0 0 5 1 】

画素電極 B_{31} には第 4 の TFT M_{34} および第 5 の TFT M_{35} が接続されており、第 4 の TFT M_{34} は信号線 D_m に接続されるとともに、第 5 の TFT M_{35} に接続される。第 5 の TFT M_{35} のゲート電極は走査線 G_{n+1} に接続され、また第 5 の TFT M_{35} のソース／ドレイン電極は走査線 G_{n+2} に接続されている。ここで、画素電極 B_{31} に信号線 D_m の電位を供給するためには、第 4 の TFT M_{34} が ON とされる必要がある。そして、第 4 の TFT M_{34} のゲート電極は第 5 の TFT M_{35} のソース／ドレイン電極に接続され、かつ第 5 の TFT M_{35} のゲート電極は走査線 G_{n+1} に、またソース／ドレイン電極は走査線 G_{n+2} に接続されているから、第 4 の TFT M_{34} を ON とするためには、第 5 の TFT M_{35} が ON とされる必要がある。第 5 の TFT M_{35} が ON されるためには走査線 G_{n+1} および走査線 G_{n+2} が選択電位となる必要がある。かくして、画素電極 B_{31} に対しては、自身より後段に位置する走査線 G_{n+1} および後段の走査線 G_{n+2} が選択電位となったときにのみ信号線 D_m からの電位が供給される。

また、画素電極 C_{31} には第 3 の TFT M_{33} が接続されており、そのゲート電極は走査線 G_{n+1} に接続されている。したがって、画素電極 C_{31} は走査線 G_{n+1} が選択されると信号線 D_m から電位が供給される。

以上では画素電極 A_{31} ～画素電極 C_{31} について説明したが、画素電極 D_{31} ～画素電極 F_{31} 、およびそれ以下の画素についても同様の構成が採用されている。

【 0 0 5 2 】

次に、本第二の実施の形態における液晶表示装置 1 の動作を、図 1 4 に示す走査信号のタイミングチャート、図 1 5 に示すクロック信号、シフトパルス、出力制御信号のタイミングチャートおよび図 1 6 ～図 1 8 の回路図、図 1 9 に示す画素駆動マトリックスを参照しつつ説明する。

なお、この第二の実施の形態においても、画素に対して、その画素が画面の一水平走査期間内に保持すべき表示信号電圧を書き込む以前に、予備的に他の表示

信号電圧を書き込んでおくプレチャージ手法が採用されるものとする。

図 1 4 において、線図 $G_{n\text{out}} \sim G_{n+5\text{out}}$ は、シフトパルスがシフトレジスタ $S R$ に伝搬されることにより走査線 $G_n \sim G_{n+5}$ に出力される走査信号の波形を示している。すなわち、これらの線図のうち実線または鎖線で示された部分が立ち上がっているタイミングでは、当該走査線 G が選択され、そうでない部分は当該走査線 G が非選択の状態となっている。なお、これらの線図が立ち上がっている部分のうち、実線で示された部分は、画素電極に対して、この画素電極が一水平走査期間の間、保持すべき表示信号電圧をチャージするタイミングを表している。また、鎖線で示された部分は、画素電極のチャージのための選択制御に加えて、画素電極のプレチャージのために表示信号電圧を書き込むタイミングを示している。

また、図 1 4 に示す $D_m(2)$ は、信号線 D_m により供給されるデータ信号の電位であり、データ信号が変化するタイミングを示している。ここで示すデータ信号 $D_m(2)$ は、極性の変化を含んだものとなっている。後述するように、データ信号 $D_m(2)$ により、画素電極 A_{31} は、画素電極 B_{31} 、 C_{31} と極性が同じとなり、画素電極 D_{31} 、 E_{31} 、 F_{31} と異なる極性で駆動される。

さらに、図 1 5 は、走査線 $G_{n+1} \sim G_{n+5}$ に供給される走査信号 $G_{n+1\text{out}} \sim G_{n+5\text{out}}$ と、これに対応してシフトレジスタ $S R$ に対して出力されるシフトパルス $S D I$ および出力制御信号 $O E 1$ 、 $O E 2$ 、 $O E 3$ と、シフトレジスタ $S R$ を駆動するクロック信号 $Y C L K$ との関係を示すタイミングチャートである。なお、図 1 5 に示す走査信号 $G_{n+1\text{out}} \sim G_{n+5\text{out}}$ においてはプレチャージのために立ち上がる部分についても実線で示している。

【 0 0 5 3 】

この液晶表示装置 1 において画素の駆動を行うには、まず、コントロール回路 6 のパルス生成部 9 からゲートドライバ 5 に対してシフトパルス $S D I$ (図 1 5 参照) を出力する。

図 1 5 中に示すように、シフトパルス $S D I$ は、その立ち上がりから立ち下がりまでの時間幅がクロック信号 $Y C L K$ の 3 周期分の第 1 のパルス $P 1$ と、立ち上がりから立ち下がりまでの時間幅がクロック信号 $Y C L K$ の 1 周期分の第 2 の

パルス P 2 とからなる信号列となっている。ここで、クロック信号 Y C L K の一周期は、画面の一水平走査期間と同一となっている。すなわち、シフトパルス S D I は、第 1 のパルス P 1 が三水平走査期間の時間幅であり、一水平走査期間分の時間幅の第 2 のパルス P 2 が一水平走査期間の間隔をあけて第 1 のパルス P 1 に連続するような、計五水平走査期間の時間幅を有する信号列となっている。

ゲートドライバ 5 のシフトレジスタ部 1 2 において、シフトパルス S D I は、クロック信号 Y C L K の 1 周期をもって、クロック信号 Y C L K に同期して次のシフトレジスタ S R に対して移動する。したがって、シフトパルス S D I が五水平走査期間の時間幅を有することにより、シフトパルス S D I は、隣接する 3 つのシフトレジスタ S R およびこれから 1 つ間隔をあけた 1 つのシフトレジスタ S R に存在しつつ順次移動することになる。ここで、図 1 5 のような出力制御信号 O E 1、O E 2、O E 3 を互いに隣接するバッファ B に対して供給することによって、5 つのシフトレジスタ S R に接続されたバッファ B を同時に制御し、これにより、5 本の走査線 G を同時に選択制御することができる。また、ここで、バッファ B は入力される出力制御信号 O E の値が「0」の際に O N 状態とされ、「1」の際に O F F 状態とされるから、走査信号 $G_{n+1\text{out}} \sim G_{n+5\text{out}}$ は、図 1 5 下段のようになる。

【 0 0 5 4 】

次に、画素電極をチャージする際の手順について説明する。

図 1 4 のように、走査信号 $G_{n+1\text{out}}$ 、 $G_{n+2\text{out}}$ 、 $G_{n+3\text{out}}$ が生成されて走査線 G_{n+1} 、 G_{n+2} 、 G_{n+3} （第 1 の走査線群）に供給される場合、これら走査信号 $G_{n+1\text{out}}$ 、 $G_{n+2\text{out}}$ 、 $G_{n+3\text{out}}$ のうち、実線で表された部分、すなわち、画素電極に表示信号電圧を書き込むタイミングに注目すると、時間 t_0 から t_1 での期間（第 1 タイミング）では走査線 G_{n+1} および G_{n+3} の双方が選択されることとなるから、図 1 6 のように第 1 の T F T M 3 1 ～第 3 の T F T M 3 3 が O N とされる。したがって、図 1 6 に示すように画素電極 A 3 1、画素電極 C 3 1 および画素電極 C 3 2 に、信号線 D m から画素電極 A 3 1 に与えるべき電位 V_{a21} が供給される。これにより、画素電極 A 3 1 の電位 V_{a21} が決まる。なお、図 1 6 においては、選択される走査線 G を太線

で示している。

一方、その後の時間 t_1 から t_2 での期間（第 2 タイミング）においては、信号線 D_m から供給される電位は画素電極 B_{31} に与えるべき電位 V_{b21} に変わる。ここでは、図 14 に示すように、走査線 G_{n+1} および走査線 G_{n+2} が選択され、これにより、図 17 に示すように、第 2 の TFT M_{32} が OFF となり、 G_{n+3} の電位（OFF 電位）を第 1 の TFT M_{31} のゲート電極に供給することで第 1 の TFT M_{31} が OFF になる。また第 3 の TFT M_{33} ～第 5 の TFT M_{35} は ON とされる。したがって、画素電極 B_{31} 、画素電極 C_{31} および画素電極 F_{31} に電位 V_{b21} が与えられる。これにより、画素電極 B_{31} の電位 V_{b21} が決まる。

さらに、次の時間 t_2 から t_3 までの期間（第 3 タイミング）では、信号線 D_m から供給される電位が画素電極 C_{31} に与えるべき電位 V_{c21} に変わる。ここで、時間 t_2 から t_3 までの期間においては、図 14 に示すように、走査線 G_{n+1} のみが選択電位となり、図 18 に示すように、第 3 の TFT M_{33} を通じて画素電極 C_{31} に信号線 D_m の電位 V_{c21} が与えられ、これにより画素電極 C_{31} の電位 V_{c21} が決まる。

なお、時間 t_0 から t_3 までの期間は水平走査期間（第 1 の水平走査期間）に相当し、上述のような画素駆動を行うことにより、信号線 D_m の電位を時分割で画素電極 A_{31} 、 B_{31} 、 C_{31} （第 1 の画素電極群）に供給することができる。

そして、走査線 G_{n+1} が非選択電位となった後に、信号線 D_m の電位はその極性が反転するとともに、画素電極 D_{31} に与えるべき電位 V_{d21} に変わり、以上と同様の手順が繰り返されることによって、画素電極 D_{31} ～画素電極 F_{31} の電位が時分割で決まる。

この場合、画素電極 A_{31} 、 B_{31} 、 C_{31} に対して供給される電位 V_{a21} 、 V_{b21} 、 V_{c21} と、画素電極 D_{31} 、 E_{31} 、 F_{31} に対して供給される電位 V_{d21} 、 V_{e21} 、 V_{f21} とは、逆極性であるために、液晶表示装置 1 は、1 行ごとにその極性が反転するライン反転駆動の表示装置として駆動されることとなる。

【 0 0 5 5 】

次に、画素のプレチャージ方法について説明する。

上述のように、ある画素電極 X をチャージする際に同時にプレチャージされる画素電極 Y は、画素電極 X に対して次の A、B のような関係を有することが望ましい。

A、画素電極 Y がプレチャージされてからチャージされるまでに、画素電極 X、Y 以外の画素電極のチャージ時に同時にプレチャージされることがなく、

かつ

B、チャージされた画素電極 Y および画素電極 X は同極性であり、選択タイミング（チャージされるタイミング）が一番近い。

【 0 0 5 6 】

そこで、この第二の実施の形態においては、上記 A、B の条件を満たすプレチャージ手法として、例えば、画素電極 A 3 1 をチャージする場合に、その 2 行下段にある画素電極 A 3 2 を選択するようにする。すなわち、図 1 4 中に鎖線で示すように、時間 t_0 から t_1 までの間（第一のタイミング）に、走査信号 $G_{n+3\text{out}}$ および $G_{n+5\text{out}}$ の電位を立ち上げ、これによって、図 1 6 に示すように、画素電極 A 3 2 の選択線である走査線 G_{n+3} および G_{n+5} （所定の走査線）を選択して、画素電極 A 3 2 への表示信号の供給を制御する第 1 の TFT M 3 1、第 2 の TFT M 3 2 を ON とする。これにより、画素電極 A 3 1 に対して供給される表示信号と同一の表示信号が、信号線 D_m から画素電極 A 3 2 に対して供給され、画素電極 A 3 2 に電位 V_{a21} が印加されて、画素電極 A 3 2 が画素電極 A 3 1 と同一極性でプレチャージされる。

なお、この場合、走査線 G_{n+5} が選択されることにより、信号線 D_m から画素電極 C 3 3 への表示信号の供給を制御する第 3 の TFT M 3 3 が ON とされる。したがって、これら画素電極 C 3 3 にも電位 V_{a21} が印加されることとなる。

【 0 0 5 7 】

この後、時間 t_1 から t_2 までの期間、および、時間 t_2 から t_3 までの期間では、いずれの走査線 G についてもプレチャージのための選択がなされず、した

がって、図 1 7, 図 1 8 に示すように、画素電極 A 3 2 は、電位 V_{a21} が保たれたままとなる。ここで、画素の駆動極性は、1 行ごとに反転しているから、画素電極 A 3 2 にプレチャージされた電位 V_{a21} と画素電極 A 3 2 に実際にチャージすべき電位とは同極性である。また、この後、図 1 4 に示すように、画素電極 A 3 2, B 3 2, C 3 2 (第 2 の画素電極群) が順次駆動される時間 t_5 から t_8 までの間 (第 2 の水平走査期間) のうち、時間 t_5 から t_6 までの期間 (第二のタイミング、第 1 タイミング) において走査線 G_{n+3} および G_{n+5} が同時に選択されることにより画素電極 A 3 2 がチャージされるまで、走査信号 G_{n+3out} および G_{n+5out} の少なくとも一方は非選択とされている (すなわち、チャージ時と異なる信号が走査線 G_{n+3} および G_{n+4} に出力される) から、画素電極 A 3 2 は、プレチャージされてからチャージされるまでの間、再びプレチャージされることがない。したがって、本第二の実施の形態のプレチャージ手法は、上記 A, B の条件を満たすこととなる。

さらに、以下同様に画素電極 D 3 1, A 3 2, ... のチャージ時にそれより 2 段下の画素電極 D 3 2, A 3 3, ... をプレチャージすることにより、上記 A および B の条件を満たすようなプレチャージを行うことができる。

【0058】

図 1 9 に、こうしたプレチャージの手法をマトリックス表示したものを表す。図 1 9 のマトリックスにおいて A, B, C で示す各列は、画素電極 A 3 1, A 3 2, ..., B 3 1, B 3 2, ... および C 3 1, C 3 2, ... が駆動されるタイミングを表し、また、 $g(n+1)$, $g(n+2)$, ... として示す行は、走査線 $G(n+1)$, $G(n+2)$, ... を表す。そしてマトリックスの各項は、そのハッチングの有無により、画素電極 A 3 1, A 3 2, ..., B 3 1, B 3 2, ..., C 3 1, C 3 2, ... が駆動されるタイミングにおいて、走査線 $G(n+1)$, $G(n+2)$, ... が選択されているか否かを表している。例えば、このマトリックスの 1 行 1 列目において付されたハッチングは、画素電極 A 1 1 を駆動するタイミングにおいて、走査線 $G(n+1)$ が選択されたことを表している。

また、マトリックスの各項において表示された A または B の文字は、その項に対応した走査線 $G(n+1)$, $G(n+2)$, ... が選択されることによって、そ

の画素電極 A_{31} , A_{32} , ..., B_{31} , B_{32} , ..., または C_{31} , C_{32} , ... のいずれかが駆動されるかを表している。例えば、マトリックスの 1 行 1 列目と 3 行 1 列目に「A」が表示されることによって、画素電極 A_{31} , A_{32} , ... を駆動すべきタイミングにおいて、走査線 $G(n+1)$ および $G(n+3)$ が同時に選択されることにより、画素電極 A_{31} , A_{32} , ... 等が駆動されることが表わされている。また、各項に表示される「PA」等の文字は、その項に対応した走査線 $G(n+1)$, $G(n+2)$, ... が選択されることによって、画素電極 A_{31} , A_{32} , ... 等がプレチャージされることを表している。例えば、マトリックスの 3 行 1 列目と 5 行 1 列目に「PA」が表示されることによって、画素電極 A_{31} , A_{32} , ... を駆動すべきタイミングにおいて、走査線 $G(n+3)$ および $G(n+5)$ が同時に選択されることにより、画素電極 A_{31} , A_{32} , ... がプレチャージされることが駆動されることが表わされている。ここで、マトリックスの 3 行 1 列目には「A/PA」との表示がなされているが、これはこの項に対応するタイミングにおいて、走査線 $G(n+3)$ が、画素電極 A_{31} のチャージおよび画素電極 A_{32} のプレチャージの双方の目的で選択されることを表している。

【0059】

以上述べたように、本第二の実施の形態では、プレチャージに必要な条件を満たしつつ、多重画素構造を有する画素電極のチャージおよびプレチャージを行うことができ、これにより、高精細化された液晶表示装置 1 を、精度よく駆動することができる。

さらに、本第二の実施の形態のプレチャージ方法では、例えば、時間 t_0 から t_1 までの期間において、画素電極 A_{31} をチャージするために、走査線 $G(n+1)$ 、 $G(n+3)$ が選択され、画素電極 A_{31} のチャージと同時に画素電極 A_{32} をプレチャージするために走査線 $G(n+3)$ 、 $G(n+5)$ が選択される。すなわち、チャージすべき画素電極の選択制御線とプレチャージすべき画素電極の選択制御線とが重複している。このような構成を採用することによって、チャージを行うべき画素電極が存在する行と、同時にプレチャージを行うべき画素電極が存在する行との間隔を狭め、これにより、プレチャージからチャージま

での時間間隔を短くして、表示画素以外の画素に対する影響を最小限とすることができる。

【 0 0 6 0 】

なお、上記第二の実施の形態において、画素電極 A 3 1 の駆動時に走査線 $G_n + 2$ を選択することによって、画素電極 B 3 1 に電位 V_{a21} をチャージするようにしてもよい。これにより、画素電極 B 3 1 が実際に駆動される以前に、画素電極 B 3 1 を充電しておくことができ、画素電極 B 3 1 の書き込み不足を防止することができる。

【 0 0 6 1 】

[第三の実施の形態]

次に、本発明の第三の実施の形態を説明する。

この第三の実施の形態は、液晶表示装置 1 の全体構成や、アレイ基板の回路構成、およびゲートドライバ 5 の回路構成が、上記第二の実施の形態と共通するために、ここでは、上記第三の実施の形態と共通する構成については、その説明を省略するとともに、上記第二の実施の形態と異なる点を中心に説明する。

この第三の実施の形態が、上記第二の実施の形態と異なる点は、液晶表示装置 1 の動作に関する点である。以下、液晶表示装置 1 の動作について説明する。

なお、この第三の実施の形態においても、画素に対して、その画素が画面の一水平走査期間内に保持すべき表示信号電圧を書き込む以前に、予備的に他の表示信号電圧を書き込んでおくプレチャージ手法が採用されるものとする。

図 2 0 において、線図 $G_{n\text{out}} \sim G_{n+5\text{out}}$ は、シフトパルスがシフトレジスタ S R に伝搬されることにより走査線 $G_n \sim G_{n+5}$ に出力される走査信号の波形を示している。すなわち、これらの線図のうち実線または鎖線で示された部分が立ち上がっているタイミングでは、当該走査線 G が選択され、そうでない部分は当該走査線 G が非選択の状態となっている。なお、これらの線図が立ち上がっている部分のうち、実線で示された部分は、画素電極に対して、この画素電極が一水平走査期間の間保持すべき表示信号電圧をチャージするタイミングを表している。また、鎖線で示された部分は、画素電極のチャージのための走査線 G の選択制御に加えて、画素電極のプレチャージのために表示信号電圧を書き込むタイ

ミングを示している。

また、図 2 0 に示す $D_m(2)$ は、信号線 D_m により供給されるデータ信号の電位であり、データ信号が変化するタイミングを示している。ここで示すデータ信号 $D_m(2)$ は、極性の変化を含んでいる。後述するように、データ信号 $D_m(2)$ によって、画素電極 A_{31} は、画素電極 E_{31} 、画素電極 F_{31} と同極性で駆動され画素電極 B_{31} は、画素電極 C_{31} 、画素電極 D_{31} と異なる極性で駆動されることとなる。

【 0 0 6 2 】

まず、画素電極をチャージする際の手順について説明する。

図 2 0 のように、走査信号 G_{n+1out} 、 G_{n+2out} 、 G_{n+3out} が生成されて走査線 G_{n+1} 、 G_{n+2} 、 G_{n+3} （第 1 の走査線群）に供給される場合、走査信号 G_{n+1out} 、 G_{n+2out} 、 G_{n+3out} のうち、実線で表された部分、すなわち、画素電極に表示信号電圧を書き込むタイミングに注目すると、時間 t_0 から t_1 での期間（第 1 タイミング）では走査線 G_{n+1} 、 G_{n+3} の双方が選択されることとなるから、図 2 1 のように第 1 の TFT M_{31} ～第 3 の TFT M_{33} が ON とされる。したがって、図 2 1 に示すように画素電極 A_{31} 、画素電極 C_{31} 、および走査線 G_{n+3} に第 3 の TFT M_{33} を介して接続された画素電極 C_{32} に、信号線 D_m から画素電極 A_{31} に与えるべき電位 V_{a31} が供給される。これにより、画素電極 A_{31} の電位 V_{a31} が決まる。なお、図 2 1 においては、選択される走査線 G を太線で示している。また、ここで電位 V_{a31} はプラスの電位であるものとし、図 2 1 中において画素電極 A_{31} 等に印加された電位 V_{a31} がプラスの電位であることを、符号「+」で表す。以下、同様に、図 2 2 ～図 2 6 においても、画素電極に印加された電位の極性を符号「+」または「-」で表す。

【 0 0 6 3 】

次に、時間 t_1 から t_2 までの期間（第 2 タイミング）においては、信号線 D_m から供給される電位は画素電極 B_{31} に与えるべき電位 V_{b31} に変わるとともに、その極性が反転し、マイナス電位とされる。ここでは、図 2 0 に示すように、走査線 G_{n+1} および走査線 G_{n+2} が選択されるとともに、走査線 G_{n+}

3 が非選択とされる。これにより、図 2 2 に示すように、第 2 の T F T M 3 2 が O F F となり、 G_{n+3} の電位 (O F F 電位) を第 1 の T F T M 3 1 のゲート電極に供給することで第 1 の T F T M 3 1 が O F F になる。また第 3 の T F T M 3 3 ~ 第 5 の T F T M 3 5 は O N とされる。したがって、画素電極 B 3 1、画素電極 C 3 1 および画素電極 F 3 1 に電位 V_{b31} が与えられる。これにより、画素電極 B 3 1 の電位 V_{b31} が決まる。

さらに、次の時間 t_2 から t_3 までの期間 (第 3 タイミング) では、信号線 D_m から供給される電位が画素電極 C 3 1 に与えるべき電位 V_{c31} に変わる。ここで、時間 t_2 から t_3 までの期間においては、図 2 0 に示すように、走査線 G_{n+1} のみが選択電位となり、図 2 3 に示すように、第 3 の T F T M 3 3 が O N となって、第 3 の T F T M 3 3 を通じて画素電極 C 3 1 に信号線 D_m の電位 V_{c31} が与えられ、これにより画素電極 C 3 1 の電位 V_{c31} が決まる。

なお、時間 t_0 から t_3 までの期間は水平走査期間 (第 1 の水平走査期間) に相当し、上述のような画素駆動を行うことにより、信号線 D_m の電位を時分割で画素電極 A 3 1、B 3 1、C 3 1 (第 1 の画素電極群) に供給することができる。

【 0 0 6 4 】

そして次の時間 t_3 から t_4 までの期間においては、走査線 G_{n+1} が非選択電位となった後に、信号線 D_m の電位が、画素電極 D 3 1 に与えるべき電位 V_{d31} に変わる。そして、図 2 0 に示すように、走査線 G_{n+2} および G_{n+4} が選択電位となり、これにより、図 2 4 のように、これらの走査線 G_{n+2} および G_{n+4} に接続される第 1 の T F T M 3 1 および第 2 の T F T M 3 2 が O N とされて、画素電極 D 3 1 に電位 V_{d31} が与えられる。また、このとき、走査線 G_{n+2} および G_{n+4} のそれぞれに接続された第 3 の T F T M 3 3 が O N とされるので、画素電極 F 3 1 および F 3 2 に対して電位 V_{d31} が供給される。

さらに、次の時間 t_4 から t_5 までの期間においては、図 2 0 に示すように、走査線 G_{n+4} が非選択電位となるとともに、信号線 D_m の電位が再びその極性が反転してプラスの電位となり、画素電極 E 3 1 に与えるべき電位 V_{e31} に変

わる。そして、図 2 5 に示すように、走査線 G_{n+2} および G_{n+3} が選択電位となり、これにより、走査線 G_{n+2} に接続される第 5 の TFT M_{35} が ON となり、走査線 G_{n+3} の電位が第 4 の TFT M_{34} に供給されることにより第 4 の TFT M_{34} が ON となって、画素電極 E_{31} に電位 V_{e31} が与えられる。また、このとき、走査線 G_{n+2} および G_{n+4} のそれぞれに接続された第 3 の TFT M_{33} が ON とされるので、画素電極 F_{31} および C_{32} に対して電位 V_{e31} が供給される。

さらに、次の時間 t_5 から t_6 までの期間においては、図 2 0 に示すように、走査線 G_{n+3} が非選択電位となるとともに、信号線 D_m の電位が画素電極 F_{31} に与えるべき電位 V_{f31} に変わる。そして、この場合、走査線 G_{n+2} のみが選択電位とされるために、図 2 6 のように、走査線 G_{n+2} に接続された第 3 の TFT M_{33} が ON とされ、画素電極 F_{31} に対して電位 V_{f31} が供給される。

これにより一水平走査期間（時間 t_3 から t_6 までの間）において、画素電極 D_{31} 、 E_{31} 、 F_{31} に対して電位 V_{d31} 、 V_{e31} 、 V_{f31} をそれぞれ時分割で供給することができる。

【 0 0 6 5 】

以下、同様の手順が繰り返されることによって、画素電極 A_{32} ～画素電極 C_{32} 以下の電位が時分割で決定される。

また、これにより、画素電極 A_{31} に供給される電位 V_{a31} と、画素電極 B_{31} 、 C_{31} に対して供給される電位 V_{b31} 、 V_{c31} とが逆極性とされ、画素電極 D_{31} に供給される電位 V_{d31} と、画素電極 E_{31} 、 F_{31} に対して供給される電位 V_{e31} 、 V_{f31} とが逆極性とされた状態で、各画素が駆動される。また、画素電極 A_{31} および D_{31} が逆極性であり、画素電極 B_{31} 、 C_{31} と画素電極 E_{31} 、 F_{31} とが逆極性であることから、1 行ごとにその極性が反転するライン反転駆動が実現される。

【 0 0 6 6 】

次に、画素のプレチャージ方法について説明する。

この第三の実施の形態においては、例えば、画素電極 B_{31} をチャージする場

合に、その 1 行下段にある画素電極 D 3 1（所定の画素電極）を選択するようにする。すなわち、図 2 0 中に鎖線で示すように、時間 t_1 から t_2 までの間（第一のタイミング、第 2 タイミング）に、走査信号 $G_{n+1\text{out}}$ 、走査信号 $G_{n+2\text{out}}$ に加えて、走査信号 $G_{n+4\text{out}}$ の電位を立ち上げ、これによって、図 2 2 に示すように、画素電極 D 3 1 の選択線である走査線 G_{n+2} および G_{n+4} （所定の走査線、第 2 の走査線群）を選択して、画素電極 D 3 1 への表示信号の供給を制御する第 1 の TFT M 3 1、第 2 の TFT M 3 2 を ON とする。これにより、画素電極 B 3 1 に対して供給される表示信号と同一の表示信号が、信号線 D_m から画素電極 D 3 1 に対して供給され、画素電極 D 3 1 に電位 V_{b31} が印加されて、画素電極 D 3 1 が画素電極 B 3 1 と同一極性でプレチャージされる。

なお、この場合、走査線 G_{n+4} が選択されることにより、信号線 D_m から画素電極 F 3 2 への表示信号の供給を制御する第 3 の TFT M 3 3 が ON とされる。したがって、画素電極 F 3 2 にも電位 V_{b31} が印加されることとなる。

【 0 0 6 7 】

この後、時間 t_2 から t_3 までの期間では、いずれの走査線 G についてもプレチャージのための選択がなされず、したがって、図 2 3 に示すように、画素電極 D 3 1 は、電位 V_{b31} が保たれたままとなる。ここで、画素の駆動極性は、1 行ごとに反転しているから、画素電極 D 3 1 に実際にチャージすべき電位は、画素電極 A 3 1 と逆極性であり、また、画素電極 A 3 1 と画素電極 B 3 1 とは逆極性で駆動されるから、画素電極 D 3 1 にプレチャージされた電位 V_{b31} と画素電極 D 3 1 に実際にチャージすべき電位とは同極性となる。また、この後、画素電極 A 3 2、B 3 2、C 3 2（第 2 の画素電極群、画素電極群）が順次駆動される時間 t_3 から t_6 までの間（第 2 の水平走査期間）のうち、時間 t_3 から t_4 までの期間（第二のタイミング、第 1 タイミング）に走査線 G_{n+2} および G_{n+4} が同時に選択されて画素電極 D 3 1 がチャージされるから、画素電極 D 3 1 は、プレチャージされてからチャージされるまでの間、再びプレチャージされることがない。また、同様のことが、画素電極 A 3 2 をプレチャージする際にも成り立つので、本第三の実施の形態のプレチャージ手法は、

A、画素電極 Y がプレチャージされてからチャージされるまでに、画素電極 X、Y 以外の画素電極のチャージ時に同時にプレチャージされることなく、

かつ

B、チャージされた画素電極 Y および画素電極 X は同極性であり、選択タイミング（チャージされるタイミング）が一番近い。

という二つの条件を満たすこととなる。

【 0 0 6 8 】

図 2 7 に、こうしたプレチャージの手法をマトリックス表示したものを表す。

図 2 7 のマトリックスにおいて A、B、C で示す各列は、画素電極 A 3 1、B 3 1、および C 3 1 が駆動されるタイミングを表し、また、 $g(n+1)$ 、 $g(n+2)$ 、…として示す行は、走査線 $G(n+1)$ 、 $G(n+2)$ 、…を表す。そしてマトリックスの各項は、そのハッチングの有無により、画素電極 A 3 1、B 3 1、C 3 1 が駆動されるタイミングにおいて、走査線 $G(n+1)$ 、 $G(n+2)$ 、…が選択されているか否かを表している。例えば、このマトリックスの 1 行 1 列目において付されたハッチングは、画素電極 A 3 1 を駆動するタイミングにおいて、走査線 $G(n+1)$ が選択されたことを表している。

また、マトリックスの各項において表示された A、B、C、…の文字は、その項に対応した走査線 $G(n+1)$ 、 $G(n+2)$ 、…が選択されることによって、その画素電極 A 3 1、B 3 1、C 3 1、…のいずれかが駆動されるかを表している。例えば、マトリックスの 1 行 1 列目と 3 行 1 列目に「A」が表示されることによって、画素電極 A 3 1、A 3 2、…を駆動すべきタイミングにおいて、走査線 $G(n+1)$ および $G(n+3)$ が同時に選択されることにより、画素電極 A 3 1 が駆動されることが表わされている。また、マトリックスに表示される「PD」等の文字は、その項に対応した走査線 $G(n+1)$ 、 $G(n+2)$ 、…が選択されることによって、画素電極 D 3 1 がプレチャージされることを表している。例えば、例えば、マトリックスの 2 行 2 列目と 4 行 2 列目に「PD」が表示されることによって、画素電極 B 3 1 を駆動すべきタイミングにおいて、走査線 $G(n+2)$ および $G(n+4)$ が同時に選択されることにより、画素電極 D 3 1 がプレチャージされることが駆動されることが表わされている。

このマトリックスによれば、画素電極（D 3 1）のプレチャージが、異なる列にある画素電極（B 3 1）のチャージのタイミングで行われ、かつ、プレチャージを行うための走査線グループ（ G_{n+2} 、 G_{n+3} ）と、チャージを行うための走査線グループ（ G_{n+1} 、 G_{n+2} ）とが重なることが理解できる。

【 0 0 6 9 】

以上述べたように、本第三の実施の形態では、プレチャージに必要な条件を満たしつつ、多重画素構造を有する画素電極のチャージおよびプレチャージを行うことができ、これにより、高精細化された液晶表示装置 1 を、精度よく駆動することができる。

さらに、本第三の実施の形態では、例えば、画素電極 D 3 1 のプレチャージを画素電極 B 3 1 のチャージ時に行い、画素電極 A 3 2 のプレチャージを画素電極 E 3 2 のチャージ時に行うようにしている。このように、チャージすべき画素電極と異なる列にある画素電極も含めて、上記 A、B の条件を満たすような画素電極を選択するようにすることで、同じ列にある画素電極のみ上記 A、B の条件を満たすような画素電極を選択する場合に比較して、選択の幅が広がり、したがって、チャージを行うべき画素電極が存在する行と、同時にプレチャージを行うべき画素電極が存在する行との間隔を狭めることができる。これにより、プレチャージからチャージまでの時間間隔を短くして、表示画素以外の画素に対する影響を最小限とすることができる。

しかも、本第三の実施の形態では、画素電極 B 3 1 をチャージするために、走査線 $G_{(n+1)}$ 、 $G_{(n+2)}$ が選択され、画素電極 B 3 1 のチャージと同時に画素電極 D 3 2 をプレチャージするために走査線 $G_{(n+2)}$ 、 $G_{(n+4)}$ が選択される。このように、チャージすべき画素電極の選択制御線とプレチャージすべき画素電極の選択制御線とが重複した構成を採用することによって、チャージを行うべき画素電極が存在する行と、同時にプレチャージを行うべき画素電極が存在する行との間隔を狭め、上述の効果をより顕著なものとすることができる。

【 0 0 7 0 】

〔第四の実施の形態〕

次に、本発明の第四の実施の形態を説明する。

この第四の実施の形態は、液晶表示装置 1 の全体構成や、アレイ基板の回路構成が、上記第一の実施の形態と共通するために、ここでは、上記第一の実施の形態と共通する構成については、その説明を省略するとともに、上記第一の実施の形態と異なる点を中心に説明する。

この第四の実施の形態が、上記第一の実施の形態と異なる点は、液晶表示装置 1 の動作に関する点である。以下、液晶表示装置 1 の動作について説明する。

図 2 8 において、線図 $G_{n\text{out}} \sim G_{n+7\text{out}}$ は、シフトパルスがシフトレジスタ SR に伝搬されることにより走査線 $G_n \sim G_{n+7}$ に出力される走査信号の波形を示している。すなわち、これらの線図のうち実線または鎖線で示された部分が立ち上がっているタイミングでは、当該走査線 G が選択され、そうでない部分は当該走査線 G が非選択の状態となっている。なお、これらの線図が立ち上がっている部分のうち、実線で示された部分は、画素電極に対して、この画素電極が一水平走査期間の間保持すべき表示信号電圧を書き込むタイミングを表している。また、鎖線で示された部分は、表示信号電圧を書き込む前に、その書き込み不足を補うために、予備的に表示信号電圧を書き込むタイミング、すなわち、プレチャージのタイミングを示している。

また、図 2 8 に示す $D_m(1)$ は、信号線 D_m により供給されるデータ信号の電位であり、データ信号が変化するタイミングを示している。ここで示す D_m は、極性の変化を含んだものとなっている。後述するように、データ信号 $D_m(1)$ により、画素電極 $A11$ 、 $B11$ 、 $C11$ 、 $D11$ は全て同一極性で駆動される。

【 0 0 7 1 】

次に、本第四の実施の形態における液晶表示装置 1 の動作を、図 2 8 に示す走査信号のタイミングチャート、図 2 9 に示すクロック信号、シフトパルス、出力制御信号のタイミングチャートおよび図 3 0 ～図 3 4 の回路図を参照しつつ説明する。

なお、この第四の実施の形態においても、画素に対して、その画素が画面の一水平走査期間内に保持すべき表示信号電圧を書き込む以前に、予備的に他の表示信号電圧を書き込んでおくプレチャージ手法が採用されるものとする。

また、図 2 9 のタイミングチャートは、走査線 $G_{n+1} \sim G_{n+4}$ に供給される走査信号 $G_{n+1\text{out}} \sim G_{n+4\text{out}}$ と、これに対応してシフトレジスタ $S R$ に対して出力されるシフトパルス $S D I$ および出力制御信号 $O E 1$, $O E 2$, $O E 3$ と、シフトレジスタ $S R$ を駆動するクロック信号 $Y C L K$ との関係を示している。なお、図 2 9 に示す走査信号 $G_{n+1\text{out}} \sim G_{n+4\text{out}}$ においてはプレチャージのために立ち上がる部分についても実線で示している。

この液晶表示装置 1 において画素の駆動を行うには、まず、コントロール回路 6 のパルス生成部 9 からゲートドライバ 5 に対してシフトパルス $S D I$ (図 2 9 参照) を出力する。

図 2 9 中に示すように、シフトパルス $S D I$ は、その立ち上がりから立ち下がりまでの時間幅がクロック信号 $Y C L K$ の 2 周期分の第 1 のパルス $P 1$ と、立ち上がりから立ち下がりまでの時間幅がクロック信号 $Y C L K$ の 2 周期分の第 2 のパルス $P 2$ とからなる信号列となっている。ここで、クロック信号 $Y C L K$ の一周期は、画面の一水平走査期間と同一となっている。すなわち、シフトパルス $S D I$ は、第 1 のパルス $P 1$ が二水平走査期間の時間幅であり、一水平走査期間分の時間幅の第 2 のパルス $P 2$ が二水平走査期間の間隔をあけて第 1 のパルス $P 1$ に連続するような、計六水平走査期間の時間幅を有する信号列となっている。

ゲートドライバ 5 のシフトレジスタ部 1 2 において、シフトパルス $S D I$ は、クロック信号 $Y C L K$ の 1 周期をもって、クロック信号 $Y C L K$ に同期して次のシフトレジスタ $S R$ に対して移動する。したがって、シフトパルス $S D I$ が六水平走査期間の時間幅を有することにより、シフトパルス $S D I$ は、隣接する 2 つのシフトレジスタ $S R$ およびこれから 2 つ間隔をあけた 2 つのシフトレジスタ $S R$ に存在しつつ順次移動することになる。ここで、図 2 9 のような出力制御信号 $O E 1$, $O E 2$, $O E 3$ を互いに隣接するバッファ B に対して供給することによって、6 つのシフトレジスタ $S R$ に接続されたバッファ B を同時に制御し、これにより、6 本の走査線 G を同時に選択制御することができる。また、ここで、バッファ B は入力される出力制御信号 $O E$ の値が「0」の際に $O N$ 状態とされ、「1」の際に $O F F$ 状態とされるから、走査信号 $G_{n+1\text{out}} \sim G_{n+4\text{out}}$ は、図 2 9 下段のようになる。

【 0 0 7 2 】

次に、画素電極をチャージする際の手順について説明する。

図 2 8 のように、走査信号 $G_{n+1} \text{ out}$ および $G_{n+2} \text{ out}$ が生成されて、走査線 G_{n+1} および G_{n+2} (第 1 の走査線群) に供給される場合、走査信号 $G_{n+1} \text{ out}$ および $G_{n+2} \text{ out}$ のうち、実線で表された部分、すなわち、画素電極に表示信号電圧を書き込むタイミングに注目すると、時間 t_0 から t_1 での期間 (第 1 タイミング) では走査線 G_{n+1} および G_{n+2} の双方が選択されることとなるから、図 3 0 のように第 1 の TFT M_1 ~ 第 3 の TFT M_3 が ON 状態とされる。これによって、画素電極 A_{11} 、画素電極 B_{11} および画素電極 D_{11} に、信号線 D_m から画素電極 A_{11} に与えるべき電位 V_{a41} が供給され、画素電極 A_{11} の電位 V_{a41} が決定される。なお、図 3 0 においては、走査線 G_{n+1} と走査線 G_{n+2} が選択されていることを太線で示している。

一方、その後の時間 t_1 から t_2 での期間 (第 2 タイミング) においては、走査線 G_{n+2} が非選択電位となり、走査線 G_{n+1} のみが選択されることとなるから、図 3 1 に示すように第 3 の TFT M_3 のみが ON 状態とされる。ここで、信号線 D_m から供給される電位が、画素電極 B_{11} に与えるべき電位 V_{b41} に変化することにより、画素電極 B_{11} には電位 V_{b41} が供給され、これにより、画素電極 B_{11} の電位が決まる。なお、時間 t_0 から t_2 までの期間は一水平走査期間 (第 1 の水平走査期間) に相当し、上述のような画素駆動を行うことにより、信号線 D_m の電位を時分割で画素電極 A_{11} および B_{11} (第 1 の画素電極群) に供給することができる。

【 0 0 7 3 】

走査線 G_{n+1} が非選択電位になった後に、信号線 D_m の電位は、画素電極 C_{11} に与えるべき電位 V_{c41} に変化する。

ここで、図 2 8 において、走査信号 $G_{n+2} \text{ out}$ および $G_{n+3} \text{ out}$ に着目すると、時間 t_2 から t_3 での期間では、走査線 G_{n+2} および G_{n+3} の双方が選択されている。これにより、図 3 2 に示すように、画素電極 C_{11} 、画素電極 D_{11} および画素電極 B_{12} に、信号線 D_m から画素電極 C_{11} に与えるべき電位 V_{c41} が供給され、画素電極 C_{11} の電位 V_{c41} が決定される。

また、その後の時間 t_3 から t_4 での期間では、走査線 G_{n+3} が非選択電位となり、走査線 G_{n+2} のみが選択されることとなるから、図 33 に示すように、信号線 D_m から供給される電位が、画素電極 D_{11} に与えるべき電位 V_{d41} に変化することにより、画素電極 D_{11} には電位 V_{d41} が供給され、これにより、画素電極 D_{11} の電位が決まる。

さらに、時間 t_4 以後は、図 28 に示すように、走査信号 $D_m(1)$ の極性が反転する。

そして、時間 t_4 以後に、画素電極 A_{11} , B_{11} , C_{11} , D_{11} より下段の画素電極 A_{12} , B_{12} , C_{12} , D_{12} に対して、同様の手順により、電位 V_{a42} , V_{b42} , V_{c42} , V_{d42} が供給される。さらに、その後、2 行ごとに画素電極に対して供給すべき電位を極性を反転させて供給することにより、液晶表示装置 1 は、2 行ごとにその極性が反転する 2 ライン反転駆動の表示装置として駆動されることとなる。

【 0 0 7 4 】

次に、画素のプレチャージ方法について説明する。

この第四の実施の形態においては、例えば、画素電極 A_{11} をチャージする際に、上記の条件 A および B を満たすような画素電極として、画素電極 A_{11} から四段下段にある画素電極 A_{13} (所定の画素電極) を選択する。

すなわち、図 28 中に鎖線で示すように、時間 t_0 から t_1 までの間に、走査信号 G_{n+5out} および G_{n+6out} の電位を立ち上げ、これによって、図 30 に示すように、画素電極 A_{13} の選択線である走査線 G_{n+5} および G_{n+6} (第 2 の走査線群、所定の走査線) を選択制御して、画素電極 A_{13} への表示信号の供給を制御する第 1 の TFT M_1 、第 2 の TFT M_2 を ON とする。これにより、画素電極 A_{11} に対して供給される表示信号と同一の表示信号が、信号線 D_m から画素電極 A_{13} に対して供給され、画素電極 A_{13} に電位 V_{a41} が印加されて、画素電極 A_{13} が画素電極 A_{11} と同一極性でプレチャージされる。

なお、この場合、走査線 G_{n+5} が選択されることにより、信号線 D_m から画素電極 B_{13} への表示信号の供給を制御する第 3 の TFT M_3 が ON とされるとともに、走査線 G_{n+6} が選択されることにより、信号線 D_m から画素電極 D

1 3 への表示信号の供給を制御する第 3 の T F T M 3 が O N とされる。したがって、これら画素電極 B 1 3 および D 1 3 にも電位 V_{a41} が印加されることとなる。

【 0 0 7 5 】

この後、時間 t_1 から t_2 までの期間では、図 2 8 に示すように、いずれの走査線 G についてもプレチャージのための選択がなされず、したがって、図 3 1 に示すように、画素電極 A 1 3, B 1 3, D 1 3 は、電位 V_{a41} が保たれたままとなる。

次に、画素電極 C 1 1 のチャージを行う期間である時間 t_2 から t_3 までの期間では、図 2 8 中に鎖線で示すように、走査信号 G_{n+6out} および G_{n+7out} の電位が立ち上がることにより、走査線 G_{n+6} および G_{n+7} が選択制御される。これにより、画素電極 C 1 3, D 1 3 への表示信号の供給を制御する第 1 の T F T M 1、第 2 の T F T M 2 が O N 状態とされ、図 3 2 に示すように、信号線 D m から画素電極 C 1 3 に対して表示信号が供給され、画素電極 C 1 3 に画素電極 C 1 1 と同じ電位 V_{c41} が印加される。したがって、画素電極 C 1 3 を画素電極 C 1 1 と同一極性でプレチャージすることができる。なお、この場合、走査線 G_{n+6} が選択されることにより、信号線 D m から画素電極 D 1 3 への表示信号の供給を制御する第 3 の T F T M 3 が O N とされ、画素電極 D 1 3 にも電位 V_{c41} が印加されることとなる。

さらに、その後の時間 t_3 から t_4 までの期間では、図 2 8 に示すように、いずれの走査線 G についてもプレチャージのための選択がなされないので、図 3 3 に示すように、画素電極 A 1 3, B 1 3 が電位 V_{a41} を、画素電極 C 1 3, D 1 3 が電位 V_{c41} を保持することとなる。

以下同様の手順により、チャージ対象の画素電極の後段の画素電極についてプレチャージが行われる。

【 0 0 7 6 】

ところで、上述のように、ある画素電極 X をチャージする際に同時にプレチャージされる画素電極 Y は、画素電極 X に対して次の A, B のような関係を有することが望ましい。

A、画素電極 Y がプレチャージされてからチャージされるまでに、画素電極 X、Y 以外の画素電極のチャージ時に同時にプレチャージされることがなく、

かつ

B、チャージされた画素電極 Y および画素電極 X は同極性であり、選択タイミング（チャージされるタイミング）が一番近い。

【 0 0 7 7 】

この第四の実施の形態のプレチャージ方法では、例えば、図 2 8 に示した走査信号 $G_{n+5\text{out}}$ および $G_{n+6\text{out}}$ に着目すると、時間 t_0 から t_1 までの期間（第一のタイミング）において、走査線 G_{n+5} と G_{n+6} （所定の走査線）とが選択されることにより画素電極 A_{13} （所定の画素電極）がプレチャージされた後は、画素電極 A_{12} 、 B_{12} （第 2 の画素電極群、画素電極群）が順次駆動される時間 t_5 から t_7 までの間（第 2 の水平走査期間）のうち、時間 t_5 から t_6 （図 1 参照）の間（第二のタイミング、第 1 タイミング）で走査線 G_{n+5} および G_{n+6} の双方（第 2 の走査線群）が選択されることにより画素電極 A_{13} がチャージされるまで、他の画素電極の駆動時に、走査線 G_{n+5} および G_{n+6} の少なくとも一方は非選択とされている（すなわち、チャージ時と異なる信号が走査線 G_{n+5} および G_{n+6} に出力される）。したがって、画素電極 A_{13} は、時間 t_0 から t_1 の間においてプレチャージされてから、時間 t_5 から t_6 までの間においてチャージされるまでに再びプレチャージされることが無く、上述のようにプレチャージを行うことによって、上記 A の条件、すなわち、画素電極 Y がプレチャージされてからチャージされるまでに、画素電極 X、Y 以外の画素電極のチャージ時に同時にプレチャージされることがないことを満たす。同様のことが、画素電極 C_{13} および画素電極 A_{13} と同じ列に配置された他の画素電極についても成り立つ。

【 0 0 7 8 】

図 3 4 に、こうしたプレチャージの手法をマトリックス表示したものを表す。図 3 4 のマトリックスにおいて A、B で示す各列は、画素電極 A_{11} 、 B_{11} 、および C_{11} が駆動されるタイミングを表し、また、 $g(n+1)$ 、 $g(n+2)$ 、…として示す行は、走査線 $G(n+1)$ 、 $G(n+2)$ 、…を表す。そして

マトリックスの各項は、そのハッチングの有無により、画素電極 A_{11} , B_{11} が駆動されるタイミングにおいて、走査線 $G(n+1)$, $G(n+2)$, ... が選択されているか否かを表している。例えば、このマトリックスの 1 行 1 列目において付されたハッチングは、画素電極 A_{31} を駆動するタイミングにおいて、走査線 $G(n+1)$ が選択されたことを表している。

また、マトリックスの各項において表示された A、B の文字は、その項に対応した走査線 $G(n+1)$, $G(n+2)$, ... が選択されることによって、その画素電極 A_{11} , B_{11} , ... のいずれかが駆動されるかを表している。例えば、マトリックスの 1 行 1 列目と 3 行 1 列目に「A」が表示されることによって、画素電極 A_{11} を駆動すべきタイミングにおいて、走査線 $G(n+1)$ および $G(n+2)$ が同時に選択されることにより、画素電極 A_{11} が駆動されることが表わされている。また、マトリックスに表示される「PA」等の文字は、その項に対応した走査線 $G(n+1)$, $G(n+2)$, ... が選択されることによって、画素電極 A_{11} , A_{12} , ... がプレチャージされることを表している。例えば、マトリックスの 5 行 1 列目と 6 行 1 列目に「PA」が表示されることによって、画素電極 A_{11} を駆動すべきタイミングにおいて、走査線 $G(n+5)$ および $G(n+6)$ が同時に選択されることにより、画素電極 A_{11} , A_{12} , ... のうちいずれか（ここでは画素電極 A_{13} ）がプレチャージされることが駆動されることが表わされている。

このマトリックスによれば、画素電極 (A_{13}) のプレチャージが、同列にある画素電極 (A_{11}) のチャージのタイミングで行われ、かつ、プレチャージを行うための走査線グループ (G_{n+5} , G_{n+6}) と、チャージを行うための走査線グループ (G_{n+1} , G_{n+2}) とが重ならないことが理解される。

【 0 0 7 9 】

以上述べたように、本第四の実施の形態では、プレチャージに必要な条件を満たしつつ、多重画素構造を有する画素電極のチャージおよびプレチャージを行うことができ、これにより、高精細化された液晶表示装置 1 を、精度よく駆動することができる。

【 0 0 8 0 】

〔第五の実施の形態〕

次に、本発明の第五の実施の形態を説明する。

この第五の実施の形態は、液晶表示装置 1 の全体構成や、アレイ基板の回路構成が、上記第一の実施の形態と共通するために、ここでは、上記第一の実施の形態と共通する構成については、その説明を省略するとともに、上記第一の実施の形態と異なる点を中心に説明する。

この第五の実施の形態が、上記第一の実施の形態と異なる点は、コントロール回路 6' およびゲートドライバ 5' の構造に関する点と、液晶表示装置 1 の動作に関する点である。

【 0 0 8 1 】

まず、本第五の実施の形態におけるコントロール回路 6' およびゲートドライバ 5' の構成について、図 3 5 を参照して説明する。

本第五の実施の形態のコントロール回路 6' が、上記第一の実施の形態のコントロール回路 6 と異なる点は、コントロール回路 6' に設けられた出力可否制御部 8' が 2 系統の出力制御線 OE_1 、 OE_2 に対して、出力制御信号 OE を出力する点である。そして、これら 2 系統の出力制御線 OE_1 、 OE_2 は、ゲートドライバ 5' の互いに隣接する 2 つのバッファ B ごとに割り当てられて接続されている。したがって、出力可否制御部 8' が、これらの出力制御線 OE_1 、 OE_2 に対して互いに異なる出力制御信号を出力することによって、互いに隣接する 2 つのバッファ B を別個に制御することが可能となっている。

【 0 0 8 2 】

次に、本第五の実施の形態における液晶表示装置 1 の動作を、図 3 6 および図 3 7 のタイミングチャートおよび図 3 8 ～図 4 1 の回路図を参照して説明する。

なお、この第五の実施の形態においては、画素のプレチャージは行わないものとする。

図 3 6 において、線図 $G_{n\text{out}} \sim G_{n+3\text{out}}$ は、シフトパルスがシフトレジスタ SR に伝搬されることにより走査線 $G_n \sim G_{n+3}$ に出力される走査信号の波形を示している。すなわち、これらの線図が立ち上がっているタイミングでは、当該走査線 G が選択され、そうでない部分は当該走査線 G が非選択の状態となっ

ている。

また、図 3 6 に示す $D_m(2)$ は、信号線 D_m により供給されるデータ信号の電位であり、データ信号が変化するタイミングを示している。ここで示す D_m は、極性の変化を含んだものとなっている。後述するように、データ信号 $D_m(2)$ による動作によれば、画素電極 A_{11} は、画素電極 B_{11} と同極性で駆動され、画素電極 C_{11} 、 D_{11} と異なる極性で駆動される。

【 0 0 8 3 】

さらに、図 3 7 は、走査線 $G_{n+1} \sim G_{n+3}$ に供給される走査信号 $G_{n+1out} \sim G_{n+3out}$ と、これに対応してシフトレジスタ SR に対して出力されるシフトパルス SDI および出力制御信号 OE_1 、 OE_2 と、シフトレジスタ SR を駆動するクロック信号 $YCLK$ との関係を示すタイミングチャートである。

【 0 0 8 4 】

この液晶表示装置 1 において画素の駆動を行うには、まず、コントロール回路 6' のパルス生成部 9 からゲートドライバ 5' に対してシフトパルス SDI (図 3 7 参照) を出力する。

図 3 7 中に示すように、シフトパルス SDI は、その立ち上がりから立ち下がりまでの時間幅が、クロック信号 $YCLK$ の 2 周期分となっている。ここで、クロック信号 $YCLK$ の 1 周期は、画面の一水平走査期間と同一となっている。すなわち、シフトパルス SDI の時間幅は、二水平走査期間分の時間幅となっている。

ゲートドライバ 5' のシフトレジスタ部 12 において、シフトパルス SDI は、クロック信号 $YCLK$ の 1 周期をもって、クロック信号 $YCLK$ に同期して次のシフトレジスタ SR に対して移動するために、このように、シフトパルス SDI がクロック信号 $YCLK$ の 2 周期分の時間幅を有することによって、シフトパルス SDI は、隣接する 2 つのシフトレジスタ SR に存在しつつ順次移動することになる。したがって、図 3 7 のような出力制御信号 OE_1 および OE_2 を互いに隣接するバッファ B に対して供給することによって、2 つのシフトレジスタ SR に接続されたバッファ B を同時に制御し、これにより、2 本の走査線 G を同時に選択制御することができる。

【 0 0 8 5 】

ゲートドライバ 5' の具体的な動作は以下ようになる。なお、図 3 7 中に示す出力制御信号 OE_1 は、走査線 G_{n+1} , G_{n+3} , ... の入力端に接続されたバッファ B に対して供給され、一方、出力制御信号 OE_2 は、走査線 G_{n+2} , G_{n+4} , ... の入力端に接続されたバッファ B に対して供給されるものとする。

図 3 7 中に示す時間 t_0 から t_2 までのタイミングにおいて、シフトパルス SDI が走査線 G_{n+1} および G_{n+2} のそれぞれに接続されたシフトレジスタ SR に存在しているとする。ここで、まず時間 t_0 から t_1 までの間では、走査線 G_{n+1} および G_{n+2} に対応したバッファ B に供給される出力制御信号 OE_1 および出力制御信号 OE_2 は、双方がその値が「0」となっているため、走査線 G_{n+1} および G_{n+2} の入力端に接続されたバッファ B がともに ON 状態とされ、これにより、シフトレジスタ SR にあるシフトパルス SDI のデータが走査線 G_{n+1} および G_{n+2} に対して、走査信号 $G_{n+1} out$ および $G_{n+2} out$ として出力される。これによって、時間 t_0 から t_1 までの間においては、走査線 G_{n+1} および G_{n+2} の双方を選択制御することができる。

さらに、次の時間 t_1 から t_2 までのタイミングにおいては、出力制御信号 OE_1 は、その値が「0」とされるが、出力制御信号 OE_2 の値が「1」とされるために、走査線 G_{n+1} の入力端に接続されたバッファ B のみが ON 状態とされ、これにより、走査線 G_{n+1} に対応するシフトレジスタ SR にあるシフトパルス SDI のデータのみが走査線 G_{n+1} に出力される。したがって、走査信号 $G_{n+1} out$ および $G_{n+2} out$ は、図 3 7 のようになり、これにより、走査線 G_{n+1} のみを選択される。

【 0 0 8 6 】

そして、次の時間 t_2 から t_4 までのタイミングにおいては、シフトレジスタ SR がクロック信号 $YCLK$ と同期して動作することにより、シフトパルス SDI が、走査線 G_{n+2} および G_{n+3} のそれぞれに接続されたシフトレジスタ SR に移動することとなる。ここで、時間 t_2 から t_3 までの間においては、走査線 G_{n+2} および G_{n+3} に対応したバッファ B に供給される出力制御信号 OE_2 および出力制御信号 OE_1 は、双方がその値が「0」となっているため、走査

線 G_{n+2} および G_{n+3} の入力端に接続されたバッファ B がともに ON 状態とされ、これにより、シフトレジスタ SR にあるシフトパルス SDI のデータが走査線 G_{n+2} および G_{n+3} に対して、走査信号 $G_{n+2\text{out}}$ および $G_{n+3\text{out}}$ として出力される。これによって、時間 t_2 から t_3 までの間においては、走査線 G_{n+2} および G_{n+3} の双方を選択制御することができる。さらに、時間 t_3 から t_4 までの間においては、出力制御信号 OE2 は、その値が「0」とされるが、出力制御信号 OE1 の値が「1」とされるために、走査線 G_{n+2} の入力端に接続されたバッファ B のみが ON 状態とされ、これにより、走査線 G_{n+2} に対応するシフトレジスタ SR にあるシフトパルス SDI のデータのみが走査線 G_{n+2} に出力される。したがって、走査信号 $G_{n+2\text{out}}$ および $G_{n+3\text{out}}$ は、図 37 のようになり、これにより、走査線 G_{n+2} のみを選択される。

【 0 0 8 7 】

次に、このようなゲートドライバ 5' の動作に対応する画素の駆動方法について説明する。

図 36、図 37 のように、走査信号 $G_{n+1\text{out}}$ および $G_{n+2\text{out}}$ が生成される場合、走査信号 $G_{n+1\text{out}}$ および $G_{n+2\text{out}}$ に注目すると、時間 t_0 から t_1 までの期間では走査線 G_{n+1} および G_{n+2} の双方が選択されることとなるから、図 38 に示すように第 1 の TFT M1 ~ 第 3 の TFT M3 が ON 状態とされる。これによって、画素電極 A11、画素電極 B11 および画素電極 D11 に、信号線 Dm から画素電極 A11 に与えるべき電位 V_{a11} が供給され、画素電極 A1 の電位 V_{a11} が決定される。なお、図 38 においては、走査線 G_{n+1} と走査線 G_{n+2} が選択されていることを太線で示している。

一方、その後の時間 t_1 から t_2 までの期間においては、走査線 G_{n+2} が非選択電位となり、走査線 G_{n+1} のみを選択されることとなるから、図 39 に示すように第 3 の TFT M3 のみが ON 状態とされる。ここで、信号線 Dm から供給される電位が、画素電極 B11 に与えるべき電位 V_{b11} に変化することにより、画素電極 B11 には電位 V_{b11} が供給され、これにより、画素電極 B11 の電位が決まる。このように、信号線 Dm の電位を時分割で画素電極 A11 および画素電極 B11 に供給することができる。

【 0 0 8 8 】

走査線 G_{n+1} が非選択電位になった後に、図 3 6 に示すように、信号線 D_m の電位はその極性が反転するとともに、画素電極 C_{11} に与えるべき電位 V_{c11} に変化する。

ここで、図 3 6 において、走査信号 G_{n+2out} および G_{n+3out} に着目すると、時間 t_3 から t_4 までの期間では、走査線 G_{n+2} および G_{n+3} の双方が選択されている。これにより、図 4 0 に示すように、画素電極 C_{11} 、画素電極 D_{11} および画素電極 B_{12} に、信号線 D_m から画素電極 C_{11} に与えるべき電位 V_{c11} が供給され、画素電極 C_{11} の電位 V_{c11} が決定される。

また、その後の時間 t_4 から t_5 までの期間では、走査線 G_{n+3} が非選択電位となり、走査線 G_{n+2} のみが選択されることとなるから、図 4 1 に示すように、信号線 D_m から供給される電位が、画素電極 D_{11} に与えるべき電位 V_{d11} に変化的ることにより、画素電極 D_{11} には電位 V_{d11} が供給され、これにより、画素電極 D_{11} の電位が決まる。

この場合、画素電極 A_{11} 、 B_{11} に対して供給される電位 V_{a11} 、 V_{b11} と、画素電極 C_{11} 、 D_{11} に対して供給される電位 V_{c11} 、 V_{d11} とは、逆極性であるために、液晶表示装置 1 は、1 行ごとにその極性が反転するライン反転駆動の表示装置として駆動されることとなる。

【 0 0 8 9 】

以上のように、本第五の実施の形態では、クロック信号 $YCLK$ の 2 倍の時間幅のシフトパルス SDI を、2 系統の出力制御線 OE により良好に駆動することができる。

なお、上記第五の実施の形態に代えて、クロック信号 $YCLK$ の m (m は 2 以上の自然数) 倍の時間幅のシフトパルス SDI を m 系統の出力制御線 OE によって制御するようにしてもよい。

【 0 0 9 0 】

〔第六の実施の形態〕

次に、本発明の第六の実施の形態について説明する。

この第六の実施の形態は、液晶表示装置 1 の全体構成や、アレイ基板の回路構

成が、上記第一の実施の形態が共通し、また、画素の駆動方法が上記第五の実施の形態と共通するために、ここでは、上記第一および第五の実施の形態と共通する構成については、その説明を省略するとともに、上記第一および第五の実施の形態と異なる点を中心に説明する。

この第六の実施の形態が、上記第一および第五の実施の形態と異なる点は、液晶表示装置 1 を駆動する際の、コントロール回路 6, 6' およびゲートドライバ 5, 5' の動作に関する点である。なお、この第五の実施の形態においても、画素のプレチャージは行わないものとする。

【 0 0 9 1 】

まず、本第六の実施の形態におけるコントロール回路 6' およびゲートドライバ 5' の動作について説明する。

図 4 2 は、走査線 $G_{n+1} \sim G_{n+3}$ に供給される走査信号 $G_{n+1\text{out}} \sim G_{n+3\text{out}}$ と、これに対応してシフトレジスタ SR に対して出力されるシフトパルス SDI および出力制御信号 $OE1, OE2, OE3$ と、シフトレジスタ SR を駆動するクロック信号 $YCLK$ との関係を示すタイミングチャートである。なお、図 4 2 においては、走査信号 $G_{n+1\text{out}} \sim G_{n+4\text{out}}$ のうち、プレチャージのために電位が立ち上がる部分についても、実線で表している。

【 0 0 9 2 】

この第六の実施の形態において画素の駆動を行うには、まず、コントロール回路 6' のパルス生成部 9 からゲートドライバ 5' に対してシフトパルス SDI (図 4 2 参照) を出力する。

図 3 7 中に示すように、シフトパルス SDI は、その立ち上がりから立ち下がりまでの時間幅が、クロック信号 $YCLK$ の 2 周期分となっている。ここで、クロック信号 $YCLK$ の 1 周期は、画面の一水平走査期間と同一となっている。すなわち、シフトパルス SDI の時間幅は、二水平走査期間分の時間幅となっている。

ここで、ゲートドライバ 5' のシフトレジスタ部 12 において、シフトパルス SDI は、クロック信号の 1 周期をもって、クロック信号 $YCLK$ と同期して次のシフトレジスタ SR に対して移動するために、このように、シフトパルス SD

I がクロック信号の2周期分の時間幅を有することによって、シフトパルス S D I は、隣接する2つのシフトレジスタ S R に存在しつつ順次移動することになる。

したがって、図37のような出力制御信号 O E 1、O E 2 または O E 2、O E 3 を互いに隣接するバッファ B に対して供給することによって、隣接する2つのシフトレジスタ S R に接続されたバッファ B を同時に制御し、これにより、2本の走査線 G を同時に選択制御することができる。

【0093】

ゲートドライバ5'の具体的な動作は以下になる。なお、図37中に示す出力制御信号 O E 1 は、走査線 G_{n+1} 、 G_{n+4} 、…の入力端に接続されたバッファ B に対して供給され、出力制御信号 O E 2 は、走査線 G_{n+2} 、 G_{n+5} 、…の入力端に接続されたバッファ B に対して、出力制御信号 O E 3 は、走査線 G_{n+3} 、 G_{n+6} 、…の入力端に接続されたバッファ B に対して、それぞれ供給されるものとする。

図42中に示す時間 t_0 から t_2 までのタイミングにおいて、シフトパルス S D I が走査線 G_{n+1} および G_{n+2} のそれぞれに接続されたシフトレジスタ S R に存在しているとする。ここで、まず時間 t_0 から t_1 までの間では、走査線 G_{n+1} および G_{n+2} に対応したバッファ B に供給される出力制御信号 O E 1 および出力制御信号 O E 2 は、双方がその値が「0」となっているため、走査線 G_{n+1} および G_{n+2} の入力端に接続されたバッファ B がともに ON 状態とされ、これにより、シフトレジスタ S R にあるシフトパルス S D I のデータが走査線 G_{n+1} および G_{n+2} に対して、走査信号 $G_{n+1 out}$ および $G_{n+2 out}$ として出力される。これによって、時間 t_0 から t_1 までの間においては、走査線 G_{n+1} および G_{n+2} の双方を選択制御することができる。

さらに、次の時間 t_1 から t_2 までのタイミングにおいては、出力制御信号 O E 1 は、その値が「0」とされるが、出力制御信号 O E 2 の値が「1」とされるために、走査線 G_{n+1} の入力端に接続されたバッファ B のみが ON 状態とされ、これにより、走査線 G_{n+1} に対応するシフトレジスタ S R にあるシフトパルス S D I のデータのみが走査線 G_{n+1} に出力される。したがって、走査信号 G

$n + 1$ out および $G_{n + 2}$ out は、図 4 2 のようになり、これにより、走査線 $G_{n + 1}$ のみが選択される。

【 0 0 9 4 】

そして、次の時間 t_2 から t_4 までのタイミングにおいては、シフトレジスタ S_R がクロック信号 $YCLK$ と同期して動作することにより、シフトパルス SDI が、走査線 $G_{n + 2}$ および $G_{n + 3}$ のそれぞれに接続されたシフトレジスタ S_R に移動することとなる。ここで、時間 t_2 から t_3 までの間においては、走査線 $G_{n + 2}$ および $G_{n + 3}$ に対応したバッファ B に供給される出力制御信号 OE_2 および出力制御信号 OE_3 は、双方がその値が「0」となっているため、走査線 $G_{n + 2}$ および $G_{n + 3}$ の入力端に接続されたバッファ B がともに ON 状態とされ、これにより、シフトレジスタ S_R にあるシフトパルス SDI のデータが走査線 $G_{n + 2}$ および $G_{n + 3}$ に対して、走査信号 $G_{n + 2}$ out および $G_{n + 3}$ out として出力される。これによって、時間 t_2 から t_3 までの間においては、走査線 $G_{n + 2}$ および $G_{n + 3}$ の双方を選択制御することができる。さらに、時間 t_3 から t_4 までの間においては、出力制御信号 OE_2 は、その値が「0」とされるが、出力制御信号 OE_3 の値が「1」とされるために、走査線 $G_{n + 2}$ の入力端に接続されたバッファ B のみが ON 状態とされ、これにより、走査線 $G_{n + 2}$ に対応するシフトレジスタ S_R にあるシフトパルス SDI のデータのみが走査線 $G_{n + 2}$ に出力される。したがって、走査信号 $G_{n + 2}$ out および $G_{n + 3}$ out は、図 4 2 のようになり、これにより、走査線 $G_{n + 2}$ のみが選択される。

【 0 0 9 5 】

このようにして、走査信号 $G_{n + 1}$ out、 $G_{n + 2}$ out、 $G_{n + 3}$ out、…を生成することができることから、本第六の実施の形態においては、上記第五の実施の形態と同様に画素の駆動を行うことができる。すなわち、時間 t_0 から t_1 までの期間では走査線 $G_{n + 1}$ および $G_{n + 2}$ の双方が選択されることとなるから、図 3 8 に示すように信号線 D_m から画素電極 A_{11} に電位 V_{a11} を供給し、時間 t_1 から t_2 までの期間においては、走査線 $G_{n + 1}$ のみを選択することにより、図 3 9 に示すように信号線 D_m から画素電極 B_{11} に電位 V_{b11} を供給する。

さらに、時間 t_2 から t_3 までの間では、走査線 G_{n+2} および G_{n+3} の双方を選択することにより、信号線 D_m から画素電極 C_{11} に電位 V_{b11} と極性の反転した電位 V_{c11} を供給し、時間 t_3 から t_4 までの間では、走査線 G_{n+2} のみを選択し、信号線 D_m から画素電極 D_{11} に電位 V_{d11} を供給する。これにより、液晶表示装置 1 を、1 行ごとにその極性が反転するライン反転駆動の表示装置として駆動することができる。

【0096】

以上のように、本第六の実施の形態では、クロック信号 $YCLK$ の 2 倍の時間幅のシフトパルス SDI を、3 系統の出力制御線 OE により良好に駆動することができる。

なお、上記第六の実施の形態に代えて、クロック信号 $YCLK$ の m (m は 2 以上の自然数) 倍の時間幅のシフトパルス SDI を m より大きい n 系統の出力制御線 OE によって制御するようにしてもよい。

【0097】

【発明の効果】

以上説明したように、本発明によれば、効率的に、多重化された画素に選択信号を供給することができ、かつ、プレチャージのタイミングおよび画素の駆動波形や駆動方法を決定することができる。

【図面の簡単な説明】

【図 1】 本発明の第一の実施の形態を模式的に示す表示信号および走査信号のタイミングチャートである。

【図 2】 本発明が適用された液晶表示装置の全体構成図である。

【図 3】 本発明の第一の実施の形態における液晶表示装置のアレイ基板の構成を示す回路図である。

【図 4】 本発明の第一の実施の形態の要部を示す、コントロール回路およびゲートドライバのブロック図である。

【図 5】 同、液晶表示装置の回路の動作を示す図である。

【図 6】 同、液晶表示装置の回路の動作を示す図であって、図 5 の次段階を示す図である。

【図 7】 同、液晶表示装置の回路の動作を示す図であって、図 6 の次段階を示す図である。

【図 8】 同、液晶表示装置の回路の動作を示す図であって、図 7 の次段階を示す図である。

【図 9】 同、液晶表示装置の選択論理を説明するための回路動作図である。

【図 1 0】 同、液晶表示装置の駆動マトリックスである。

【図 1 1】 同、クロック信号、シフトパルス、および走査信号のタイミングチャートである。

【図 1 2】 同、アレイ基板の他の回路構成を示す図である。

【図 1 3】 本発明の第二の実施の形態を模式的に示す図であって、アレイ基板の回路構成図である。

【図 1 4】 表示信号および走査信号のタイミングチャートである。

【図 1 5】 同、クロック信号、シフトパルス、および走査信号のタイミングチャートである。

【図 1 6】 同、液晶表示装置の回路の動作を示す図である。

【図 1 7】 同、液晶表示装置の回路の動作を示す図であって、図 1 6 の次段階を示す図である。

【図 1 8】 同、液晶表示装置の回路の動作を示す図であって、図 1 7 の次段階を示す図である。

【図 1 9】 同、液晶表示装置の駆動マトリックスである。

【図 2 0】 本発明の第三の実施の形態を模式的に示す図であって、表示信号および走査信号のタイミングチャートである。

【図 2 1】 同、液晶表示装置の回路の動作を示す図である。

【図 2 2】 同、液晶表示装置の回路の動作を示す図であって、図 2 1 の次段階を示す図である。

【図 2 3】 同、液晶表示装置の回路の動作を示す図であって、図 2 2 の次段階を示す図である。

【図 2 4】 同、液晶表示装置の回路の動作を示す図であって、図 2 3 の次

段階を示す図である。

【図 2 5】 同、液晶表示装置の回路の動作を示す図であって、図 2 4 の次段階を示す図である。

【図 2 6】 同、液晶表示装置の回路の動作を示す図であって、図 2 5 の次段階を示す図である。

【図 2 7】 同、液晶表示装置の駆動マトリックスである。

【図 2 8】 本発明の第四の実施の形態を模式的に示す図であって、表示信号および走査信号のタイミングチャートである。

【図 2 9】 同、クロック信号、シフトパルス、および走査信号のタイミングチャートである。

【図 3 0】 同、液晶表示装置の回路の動作を示す図である。

【図 3 1】 同、液晶表示装置の回路の動作を示す図であって、図 3 0 の次段階を示す図である。

【図 3 2】 同、液晶表示装置の回路の動作を示す図であって、図 3 1 の次段階を示す図である。

【図 3 3】 同、液晶表示装置の回路の動作を示す図であって、図 3 2 の次段階を示す図である。

【図 3 4】 同、液晶表示装置の駆動マトリックスである。

【図 3 5】 本発明の第五の実施の形態を模式的に示すコントロール回路およびゲートドライバの構成図である。

【図 3 6】 同、表示信号および走査信号のタイミングチャートである。

【図 3 7】 同、クロック信号、シフトパルス、および走査信号のタイミングチャートである。

【図 3 8】 同、液晶表示装置の回路の動作を示す図である。

【図 3 9】 同、液晶表示装置の回路の動作を示す図であって、図 3 6 の次段階を示す図である。

【図 4 0】 同、液晶表示装置の回路の動作を示す図であって、図 3 7 の次段階を示す図である。

【図 4 1】 同、液晶表示装置の回路の動作を示す図であって、図 3 8 の次

段階を示す図である。

【図 4 2】 本発明の第六の実施の形態を模式的に示す、クロック信号、シフトパルス、および走査信号のタイミングチャートである。

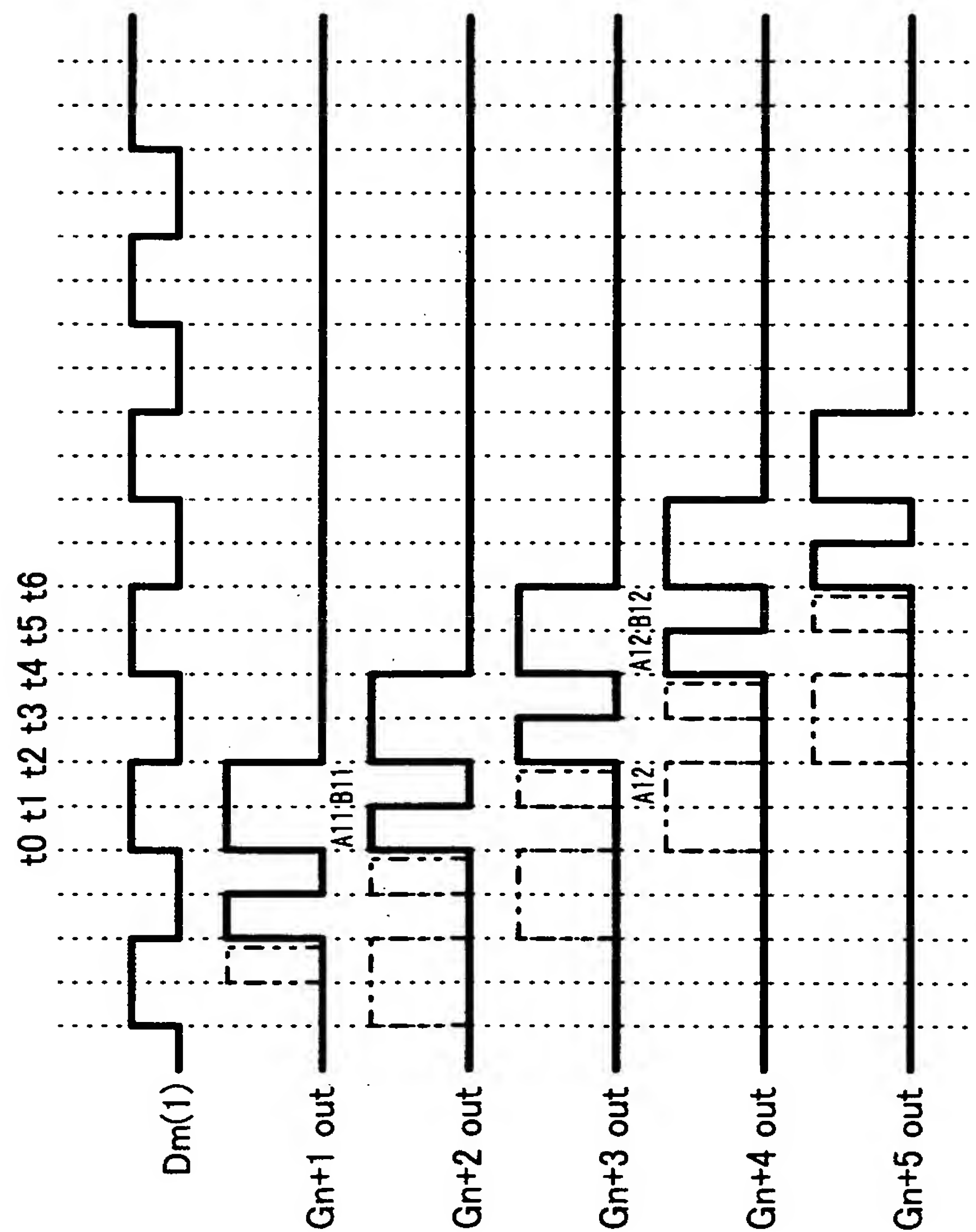
【符号の説明】

1、1' …液晶表示装置（画像表示装置）、3…データドライバ、5、5' …ゲートドライバ（走査線駆動回路）、6、6' …コントロール回路（走査線駆動回路）、8、8' …出力可否制御部、9…パルス生成部（信号列生成部）、10…クロック信号生成部、12…シフトレジスタ部、B…バッファ（出力回路）、D、D_m…信号線、DCPV、YCLK…クロック信号、G、G_n…走査線、OE…出力制御線、出力制御信号、Ot…出力端子、P1…第1のパルス、P2…第2のパルス、SDI…シフトパルス（信号列）、SR…シフトレジスタ

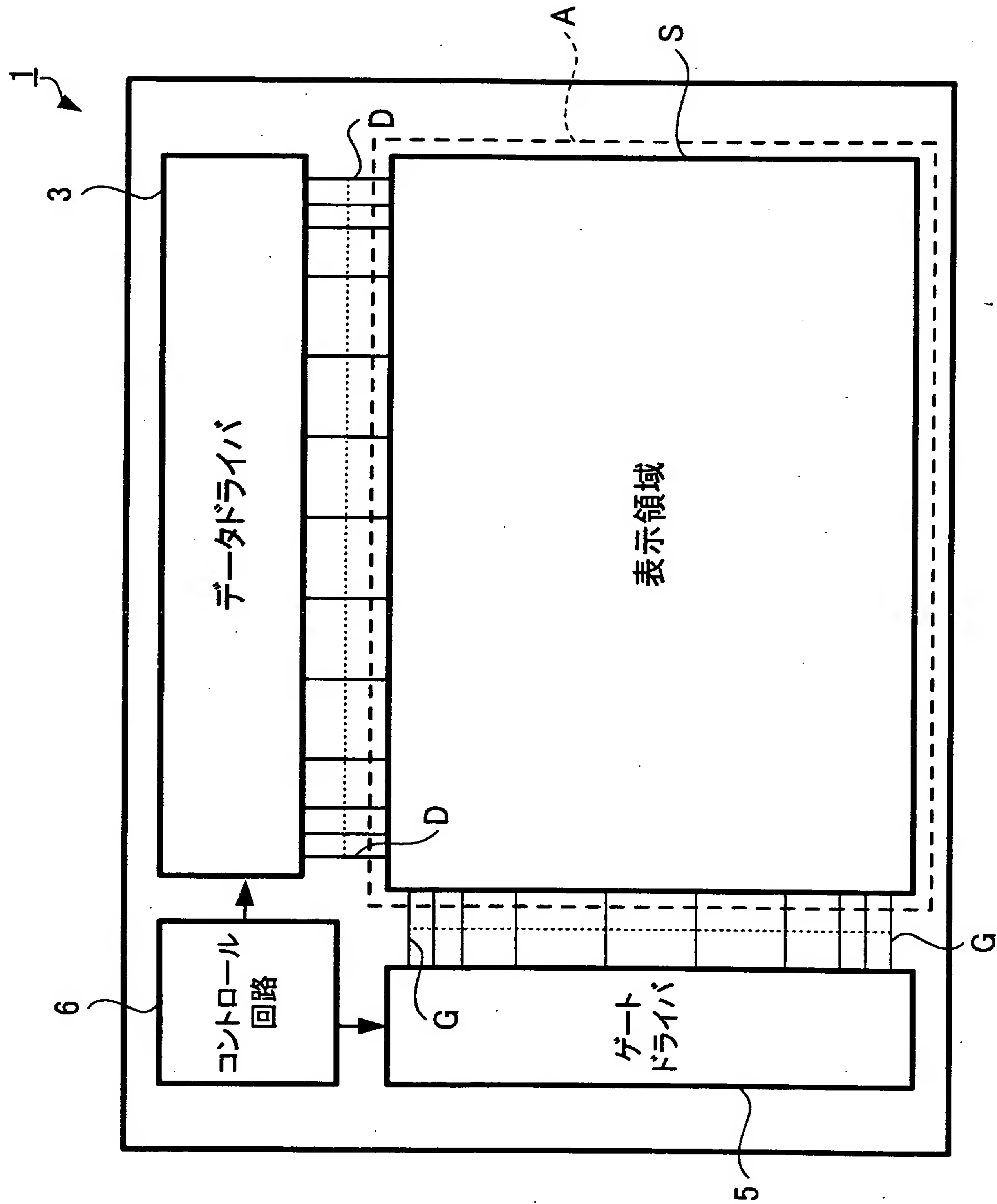
【書類名】

図面

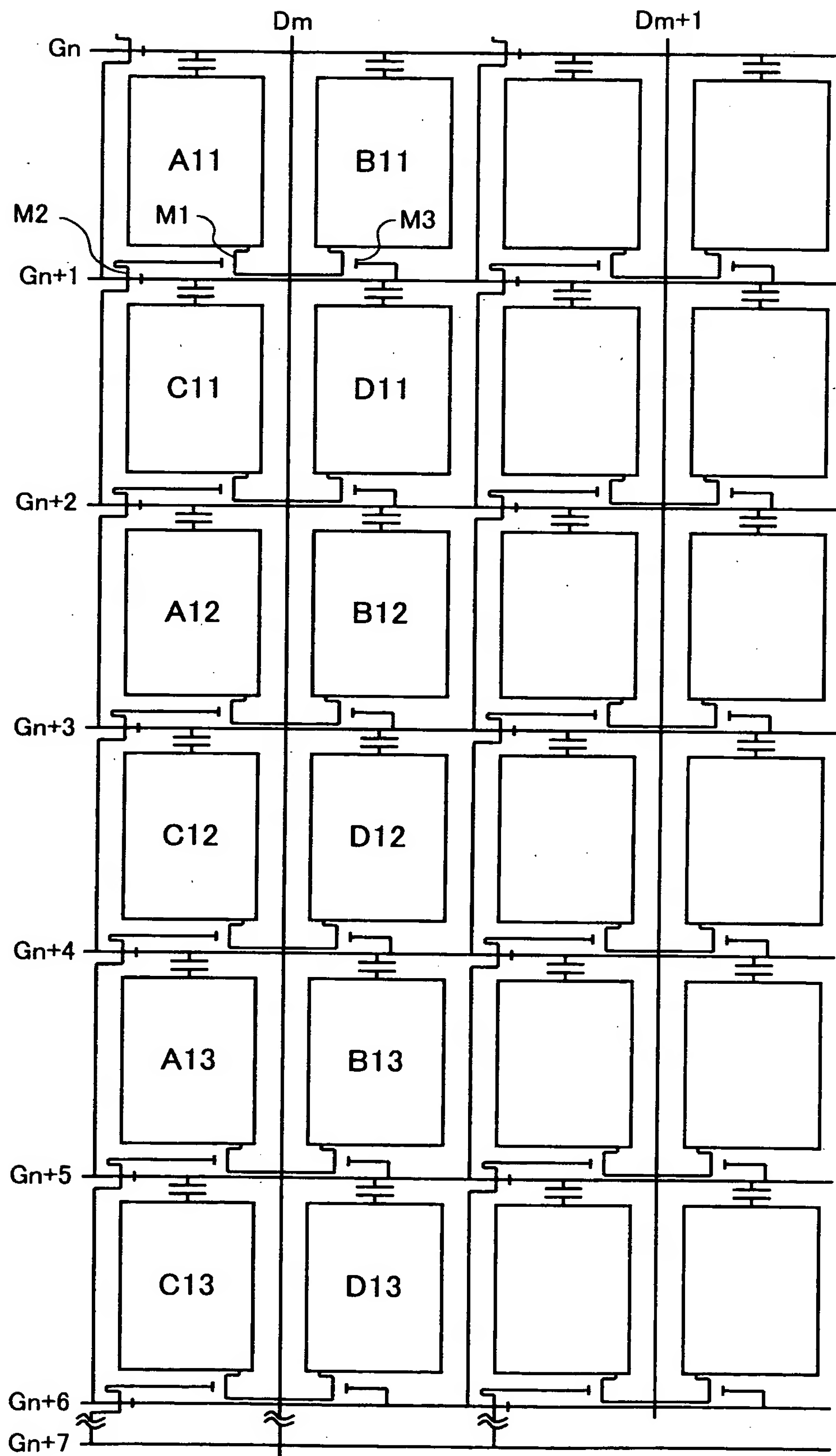
【図 1】



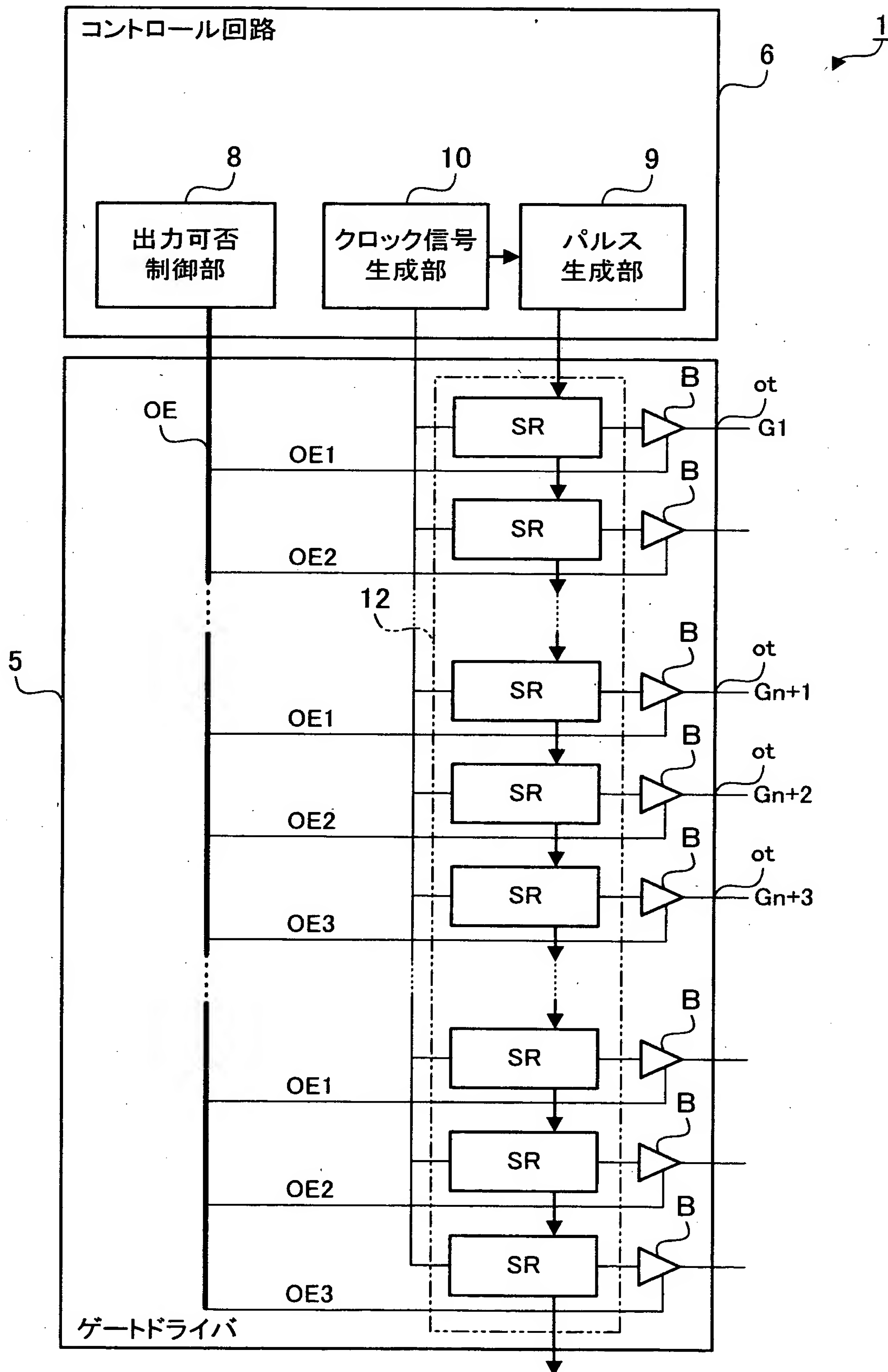
【図 2】



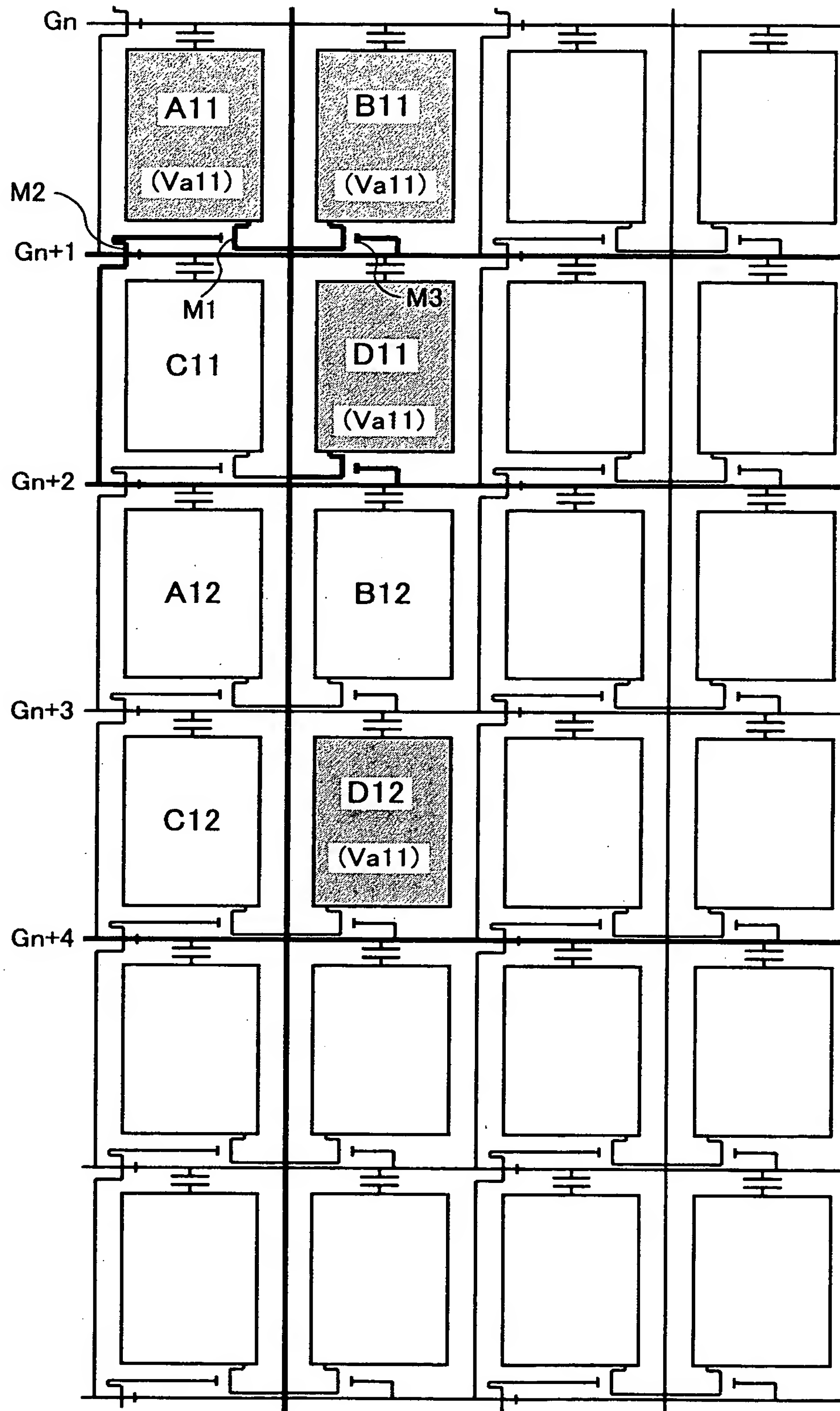
【図 3】



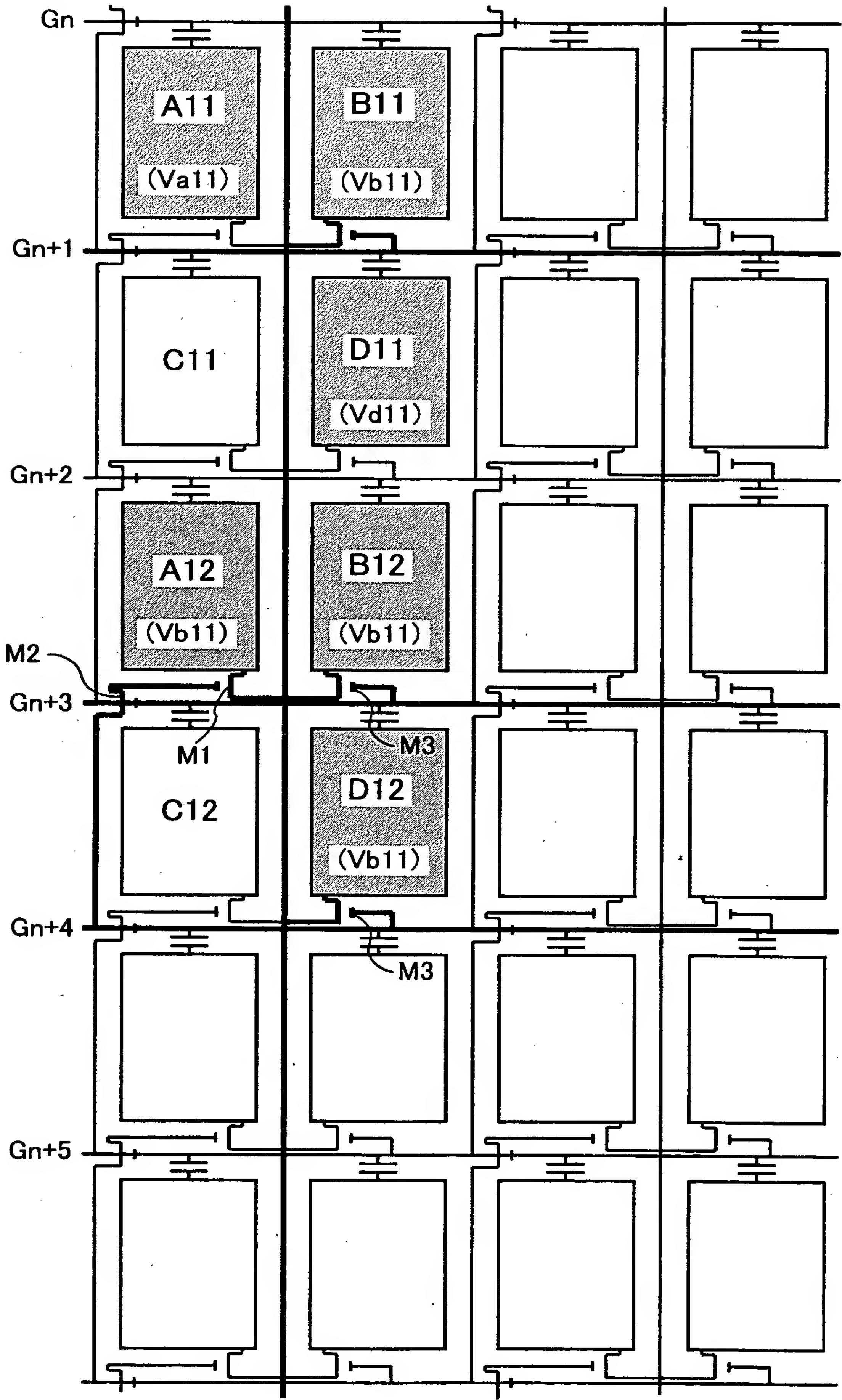
【図 4】



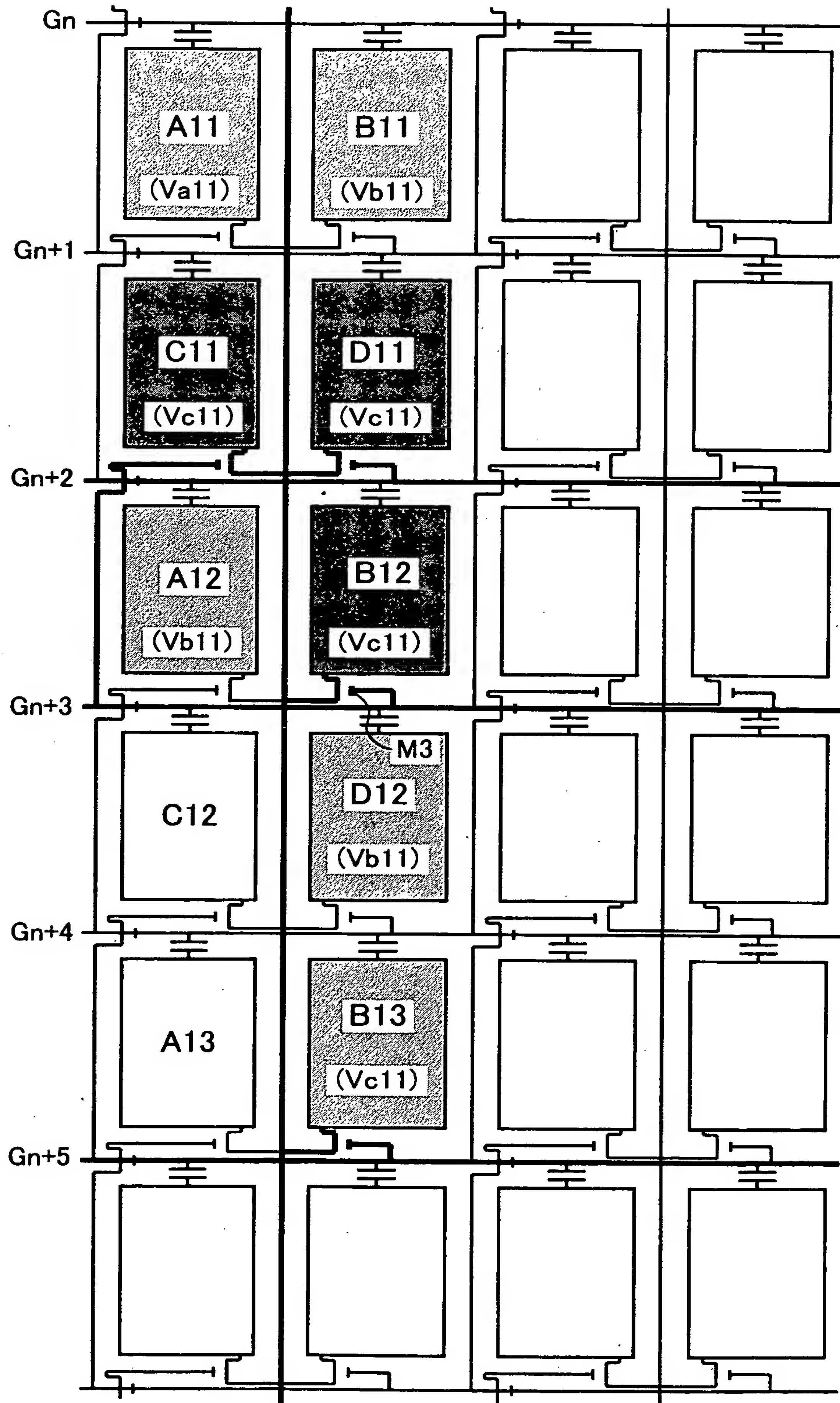
【図 5】



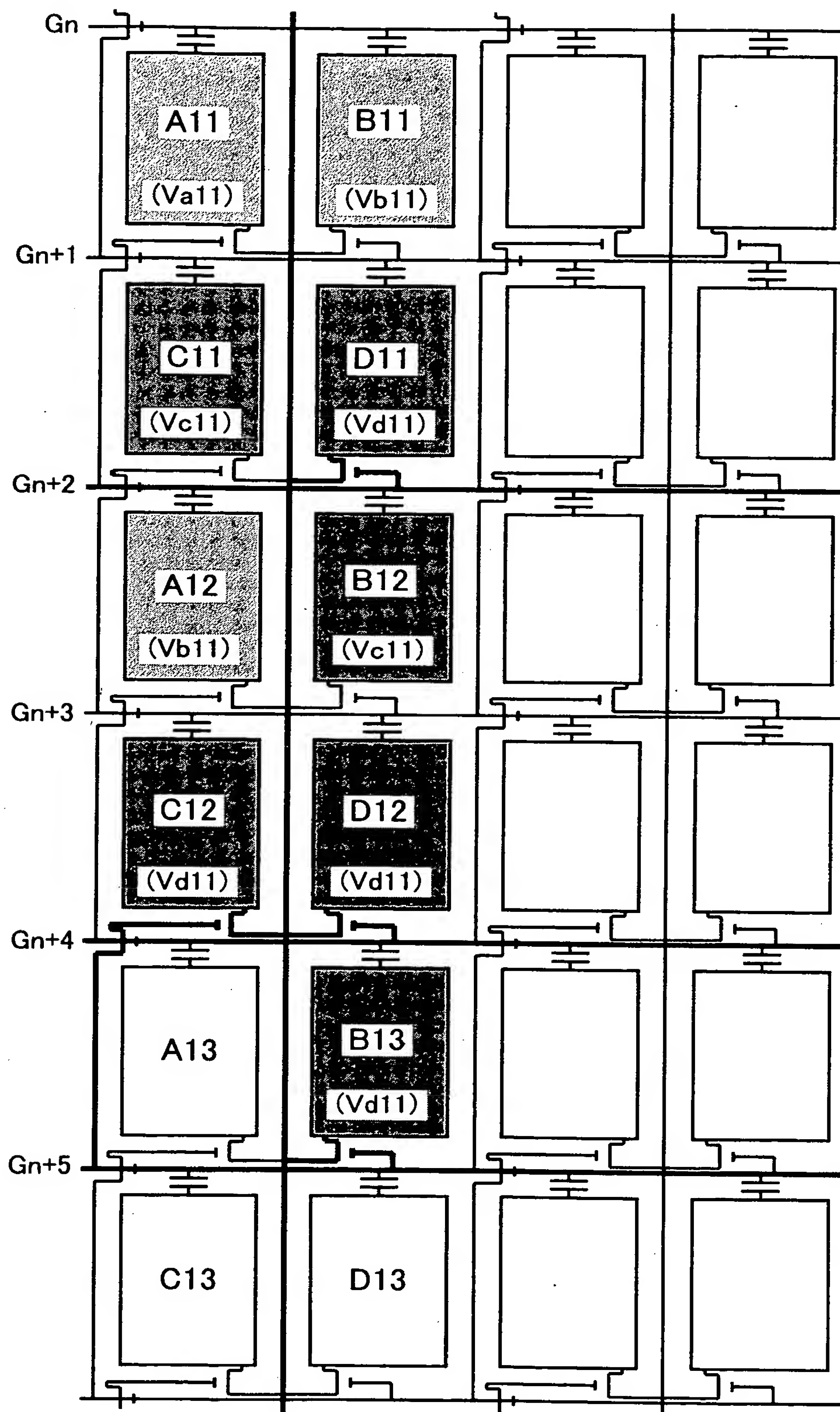
【図 6】



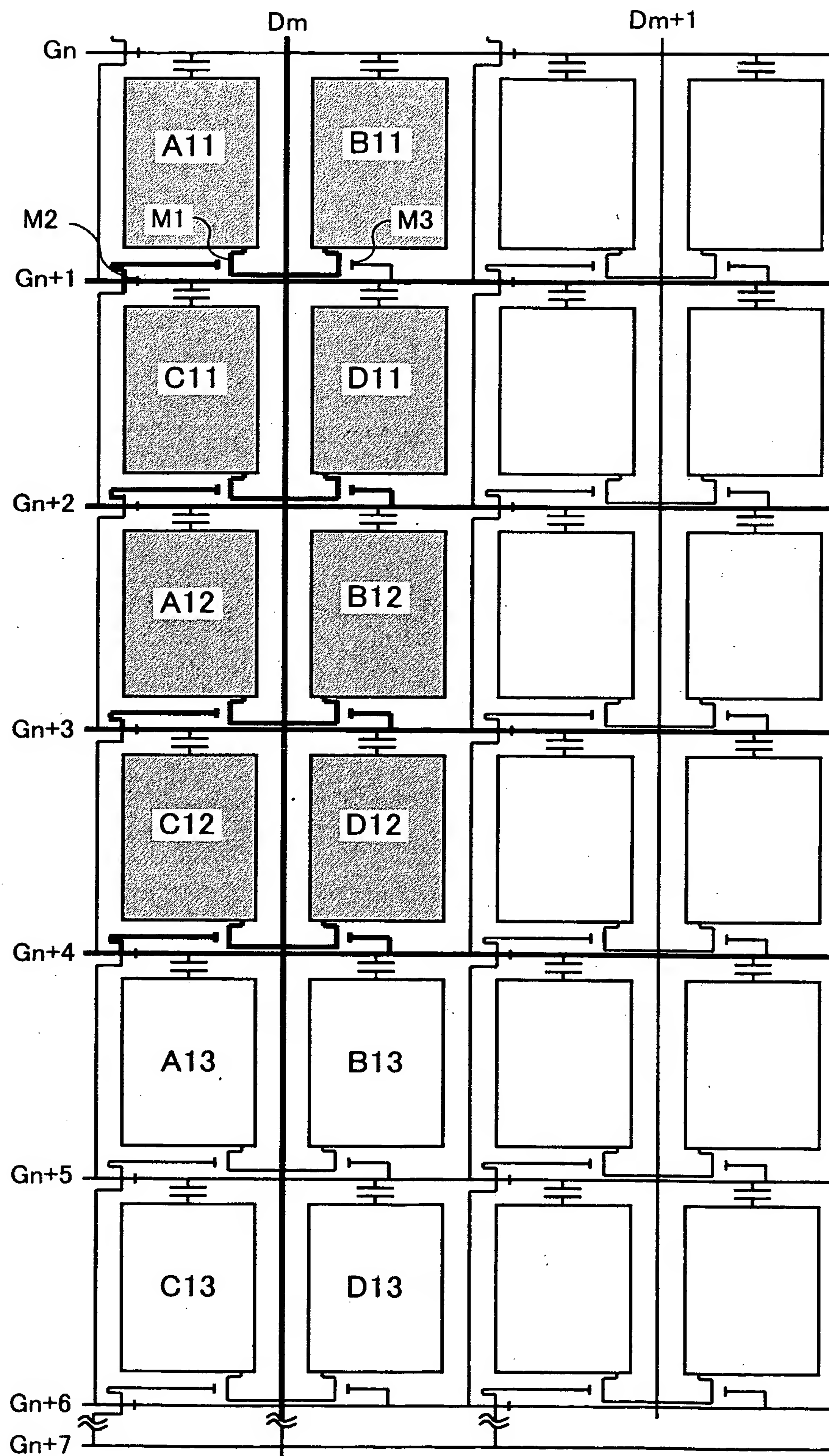
【図 7】



【図8】



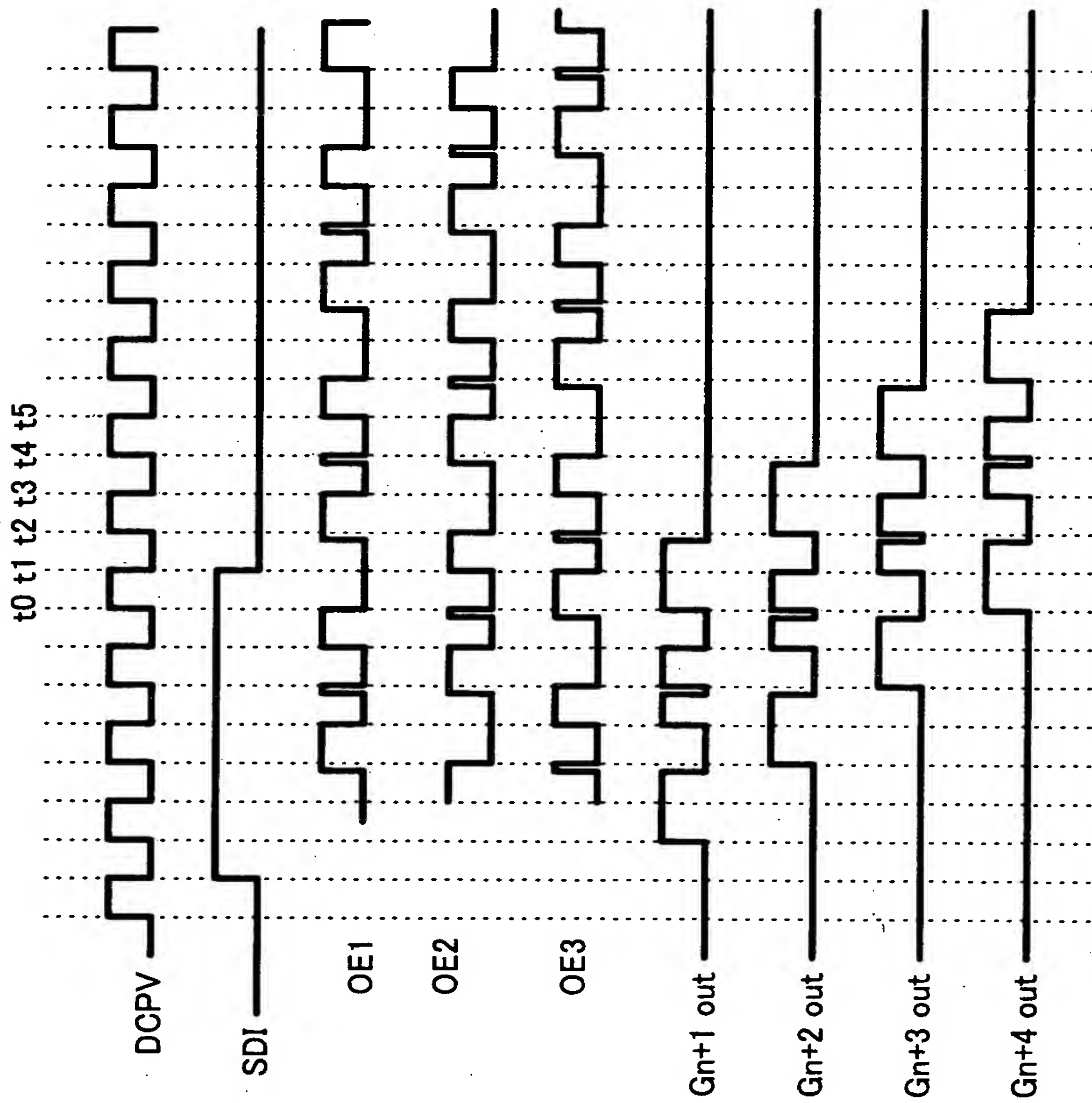
【図 9】



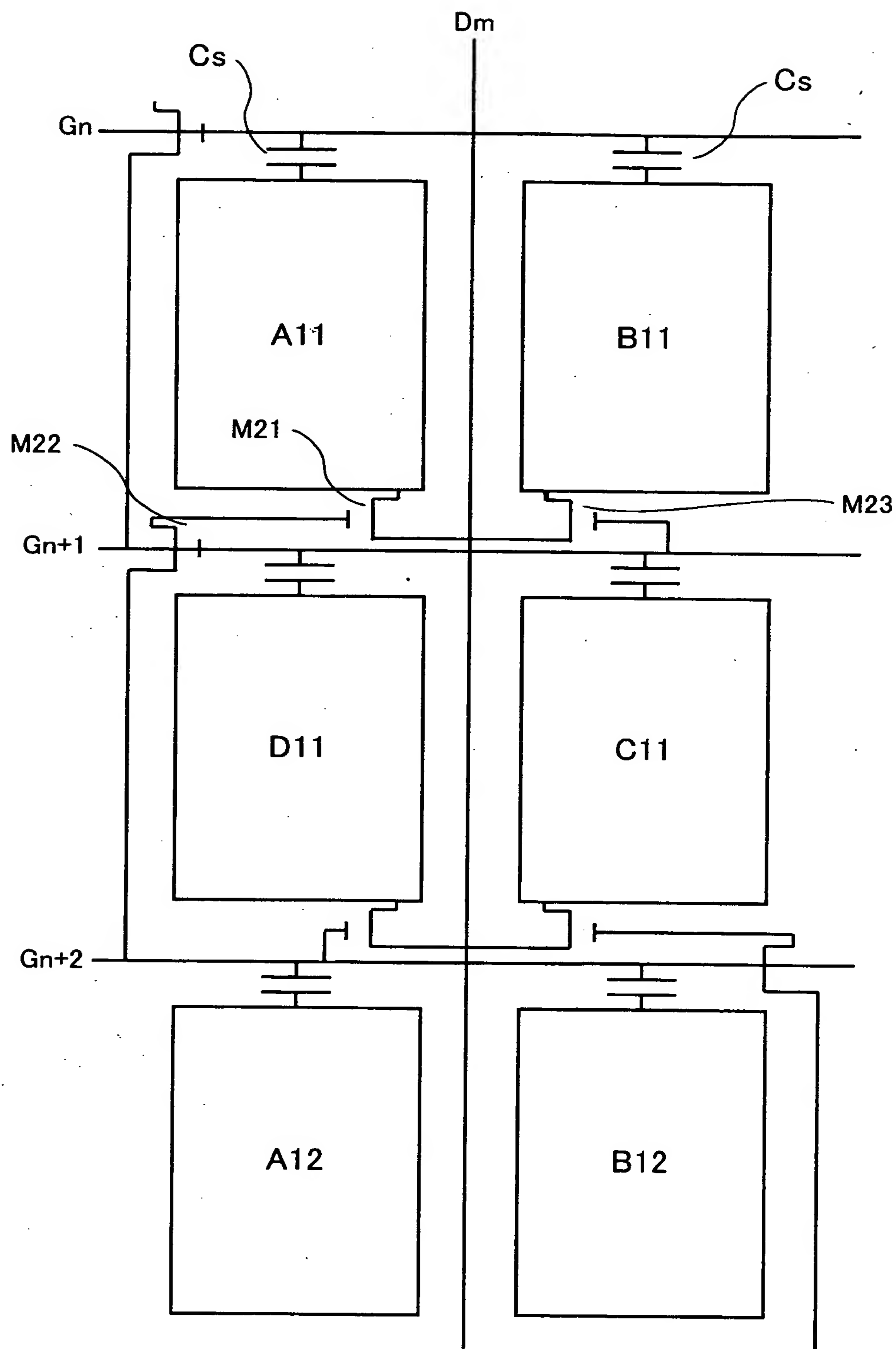
【図 1 0】

Slot	A	B
$g(n+1)$	$+A$	$+B$
$g(n+2)$	$-A$	$-$
$g(n+3)$	$+$	$+PA$
$g(n+4)$	$-$	$-PA$

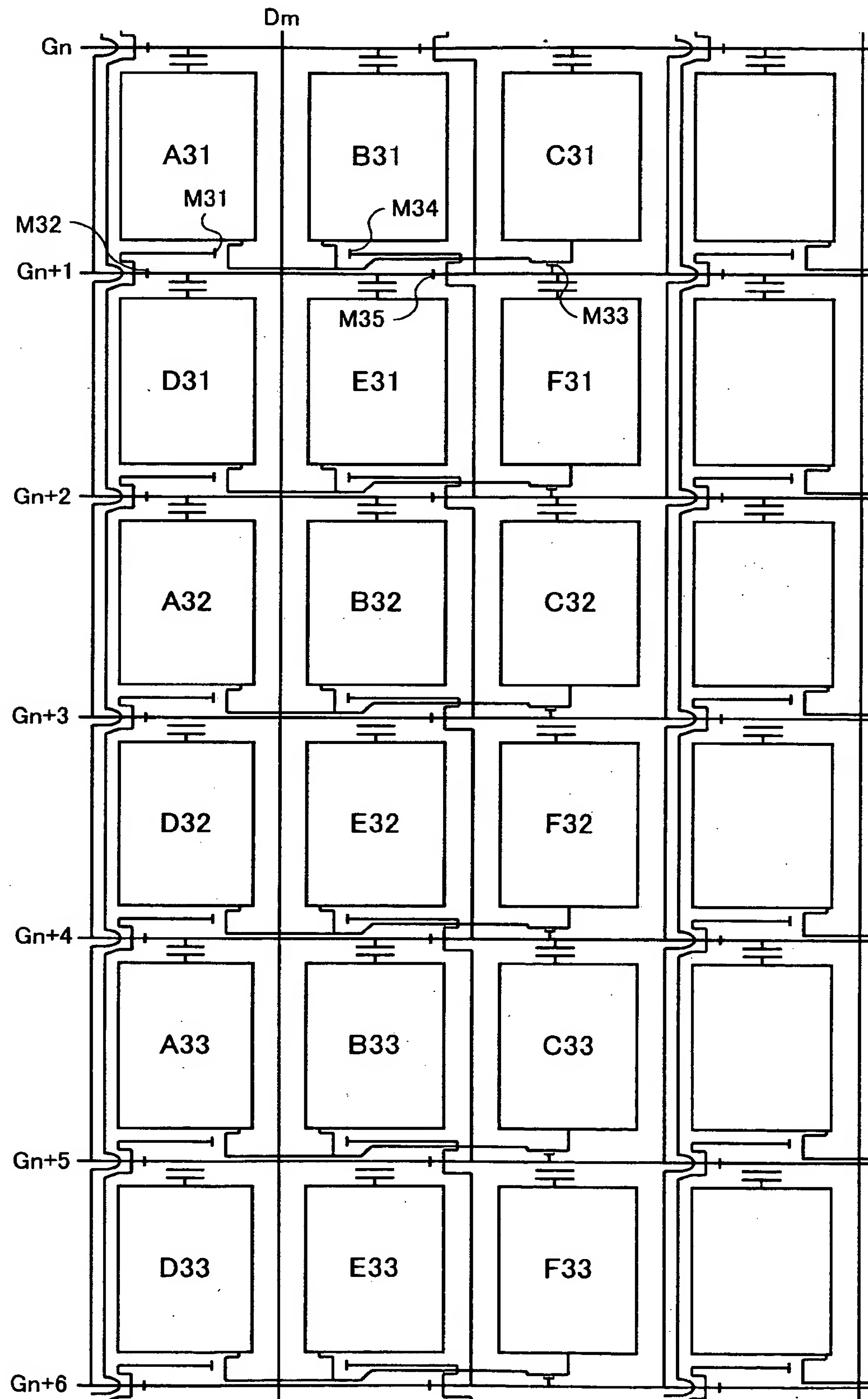
【図 1 1】



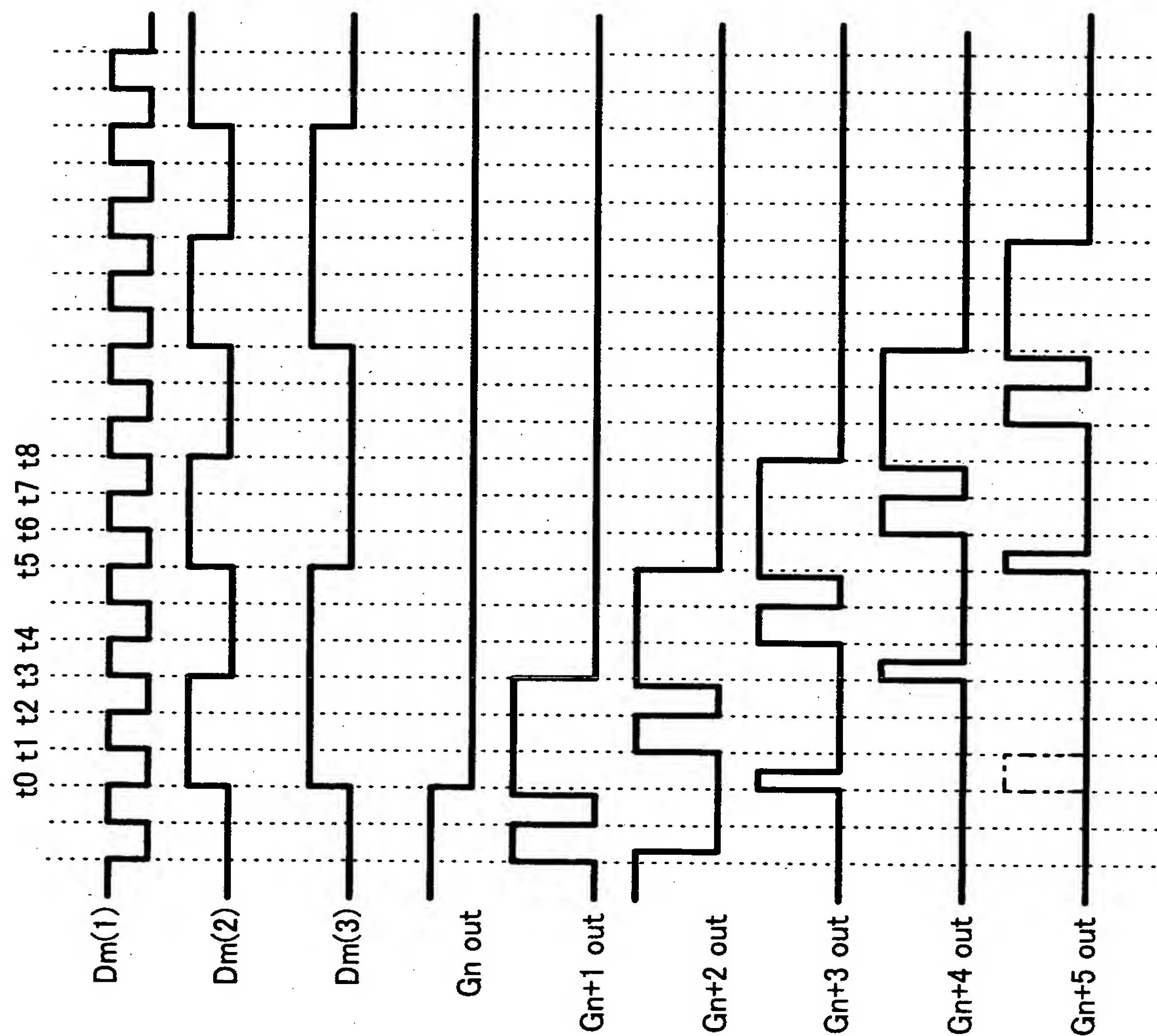
【図 1 2】



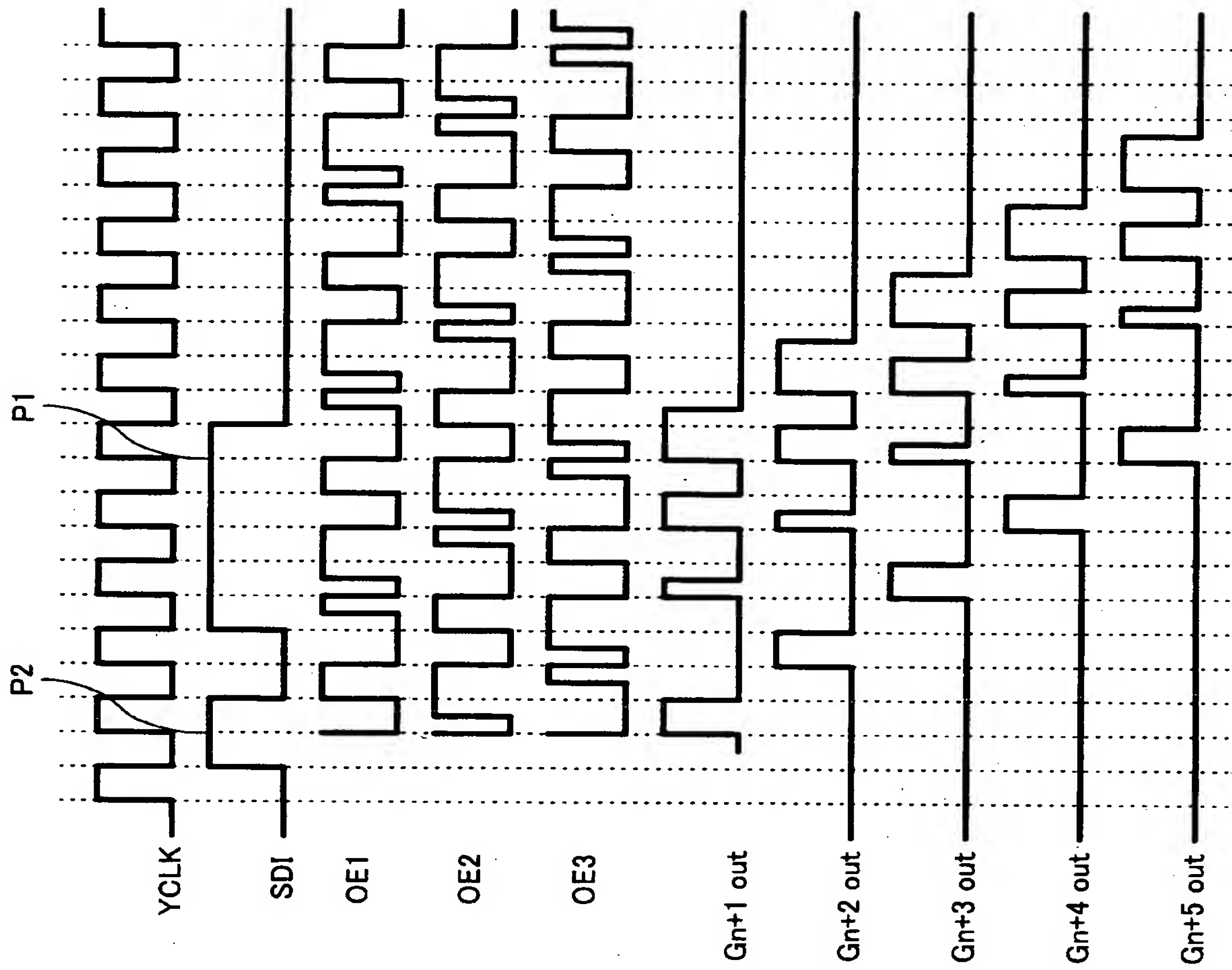
【図 1 3】



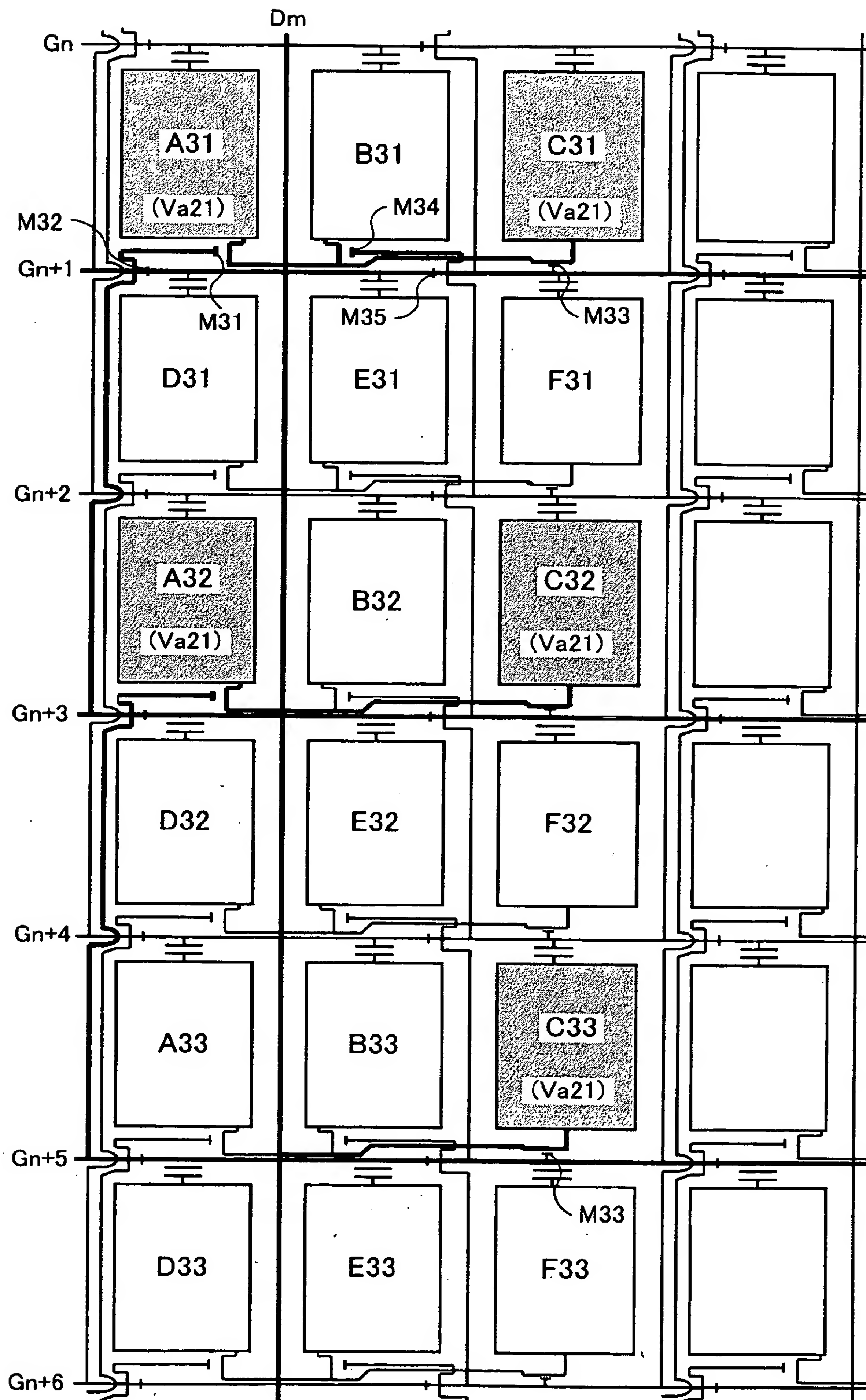
【図 1 4】



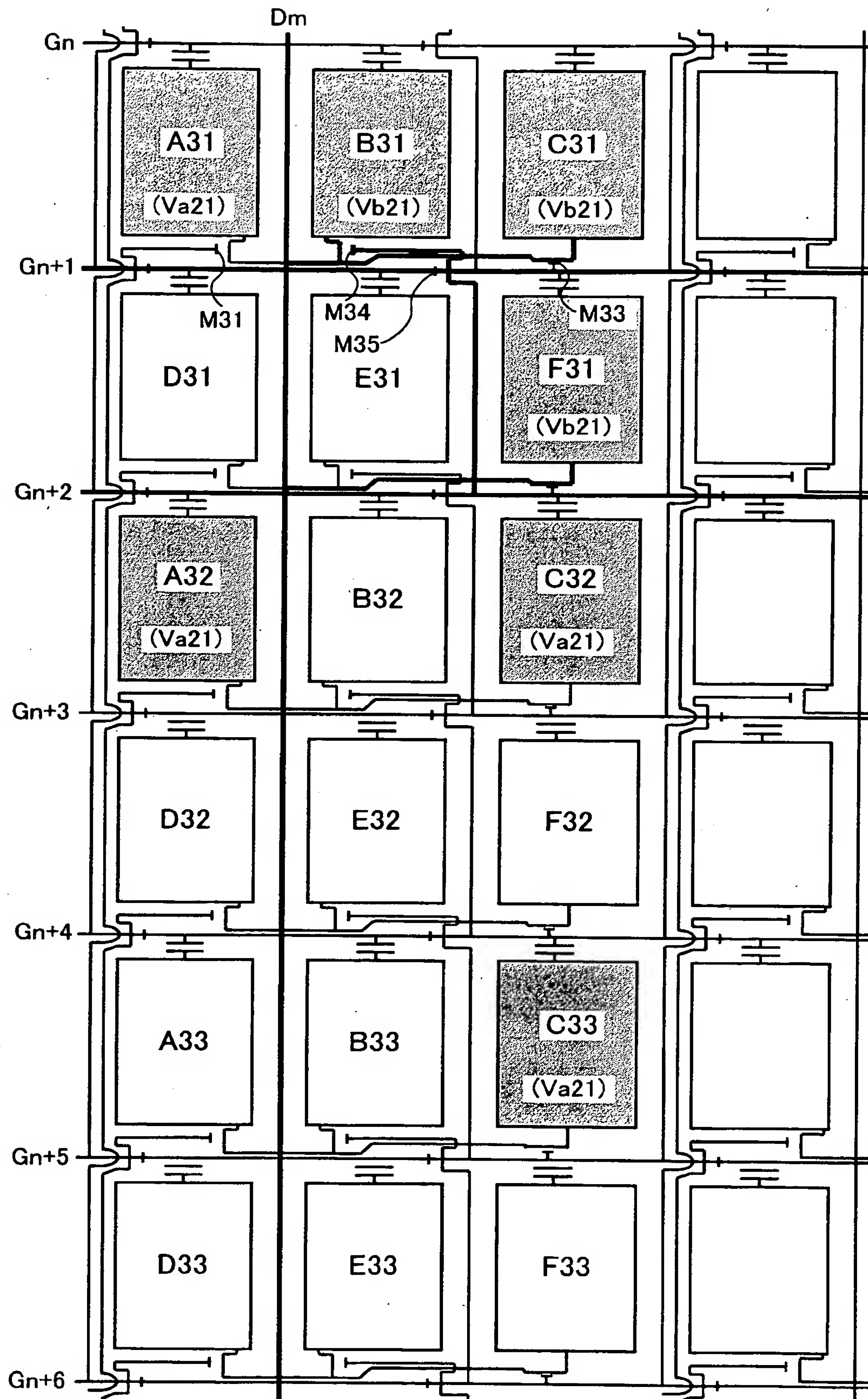
【図 1 5】



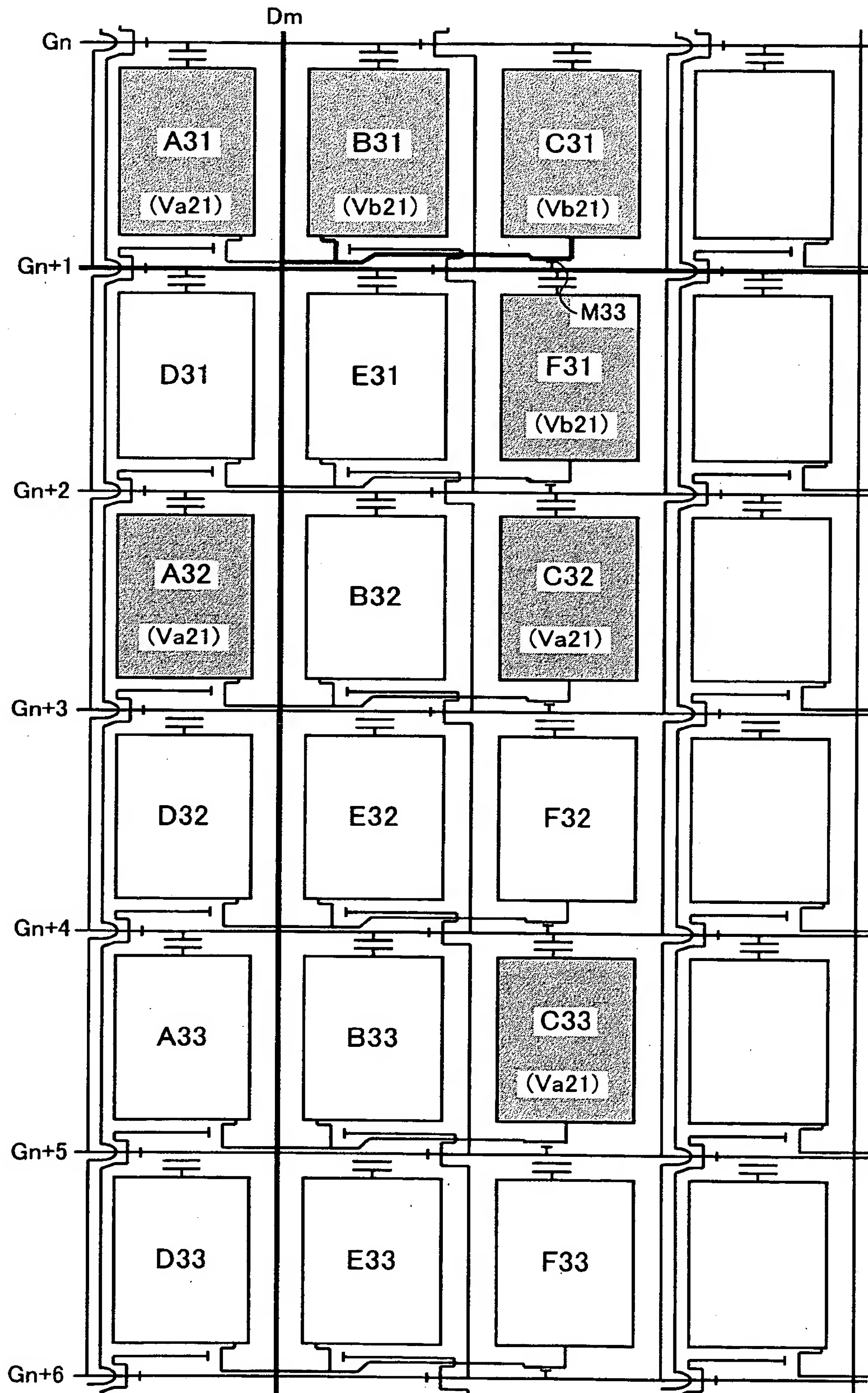
【図 16】



【図 1 7】



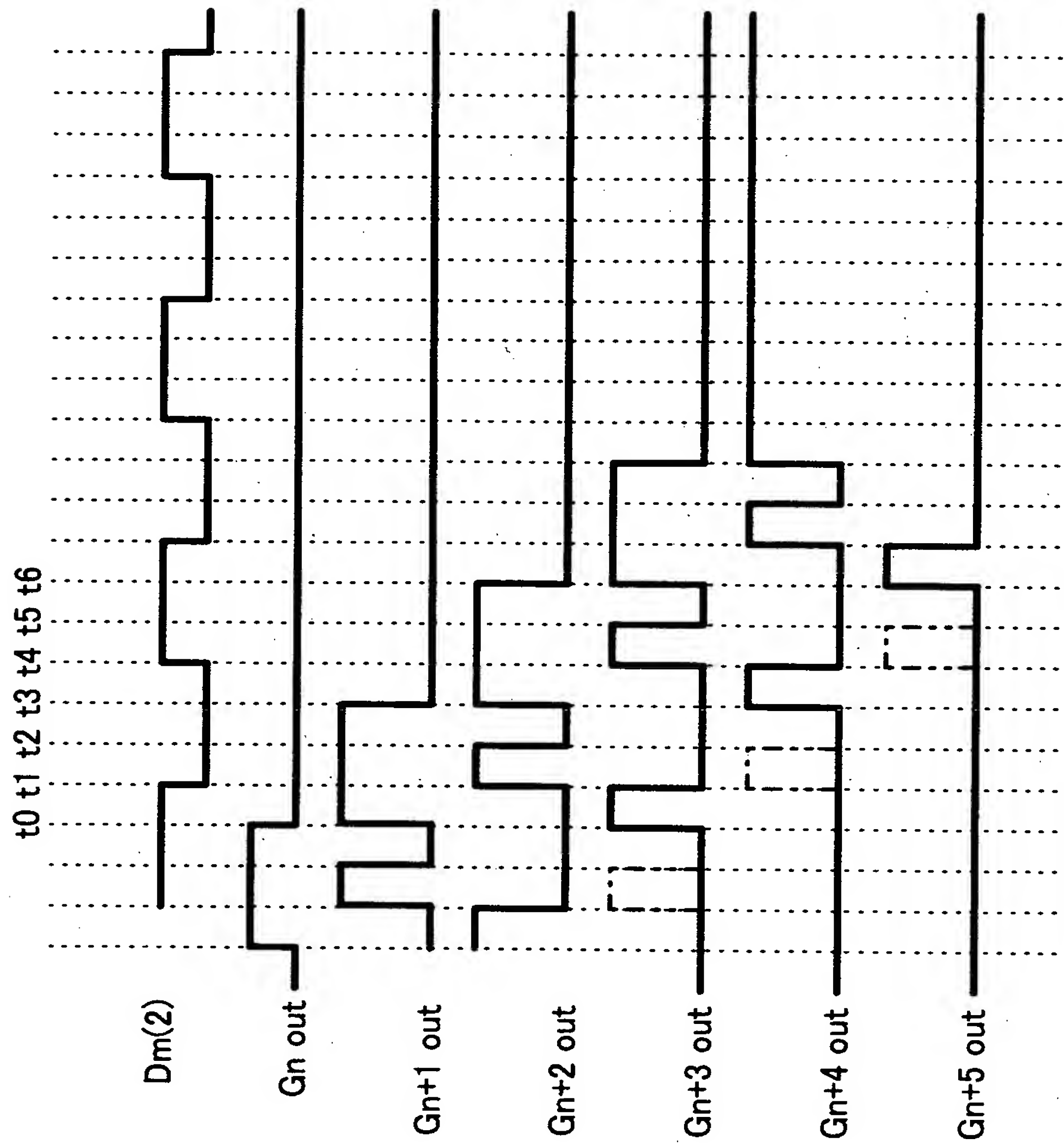
【図 1 8】



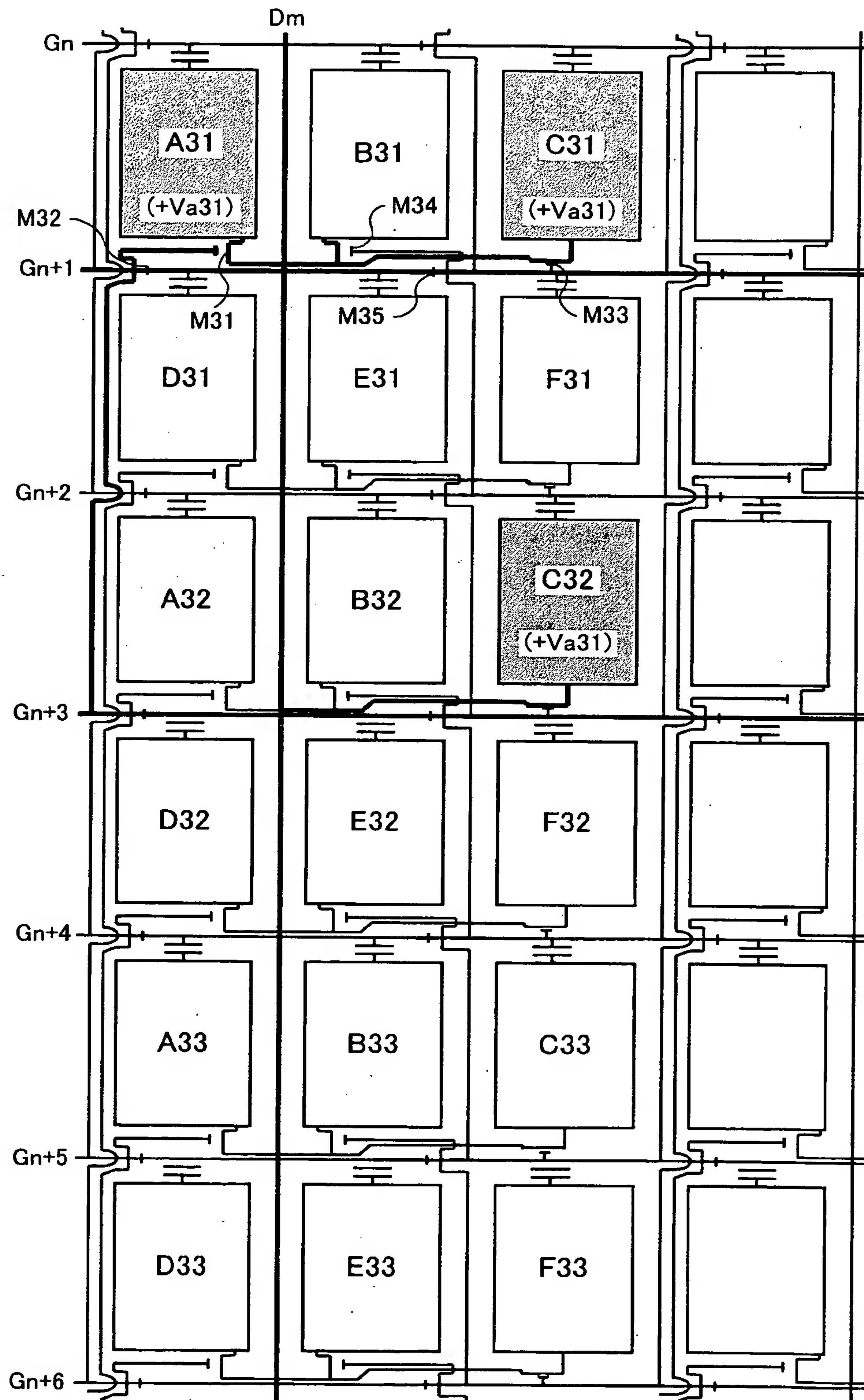
【図 1 9】

Slot	A	B	C
$g(n+1)$	+A	+B	+C
$g(n+2)$	-	-B	-
$g(n+3)$	+A/PA	+	+
$g(n+4)$	-NoPulse	-NoPulse	-NoPulse
$g(n+5)$	+PA	+	+

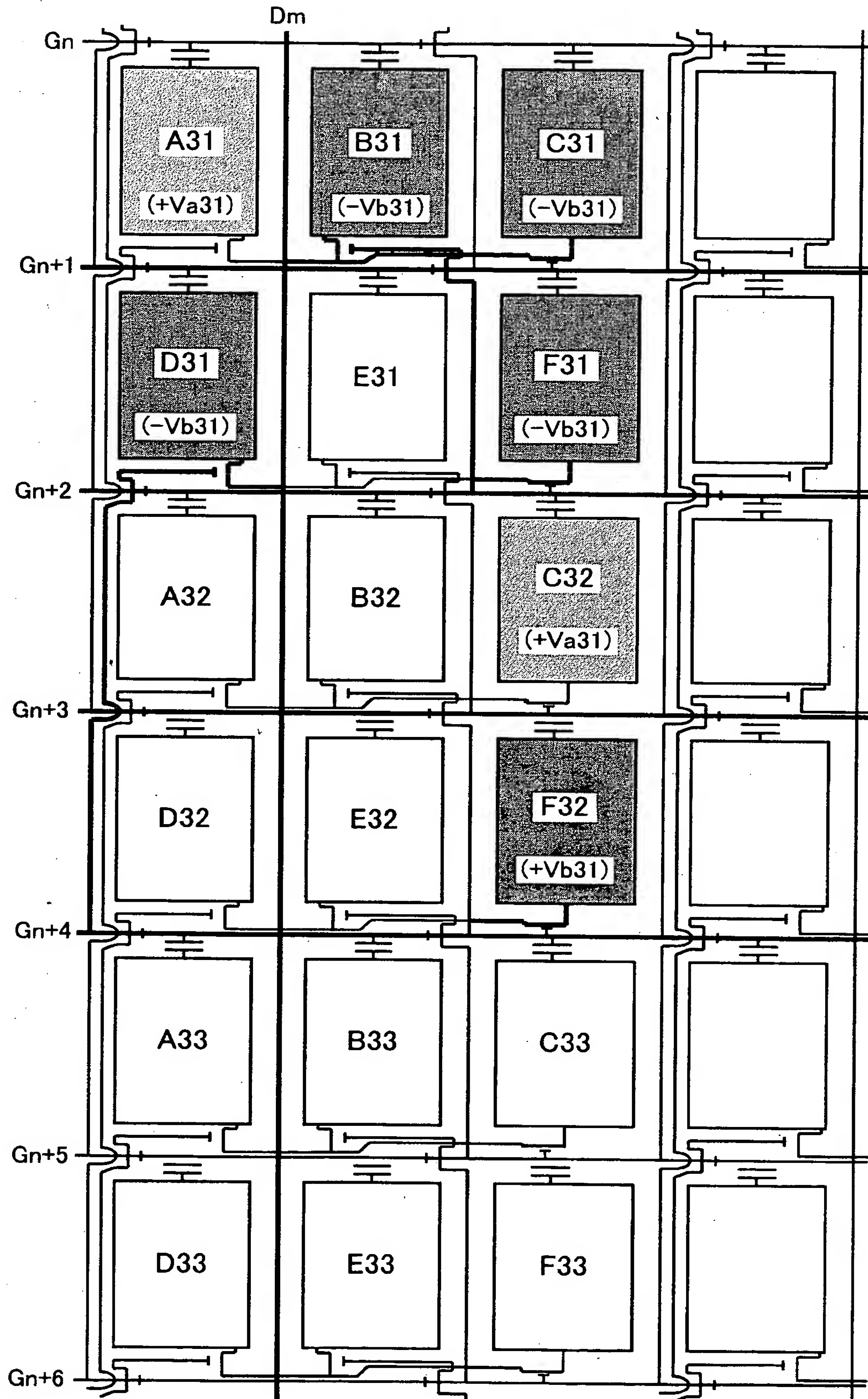
【図 2 0】



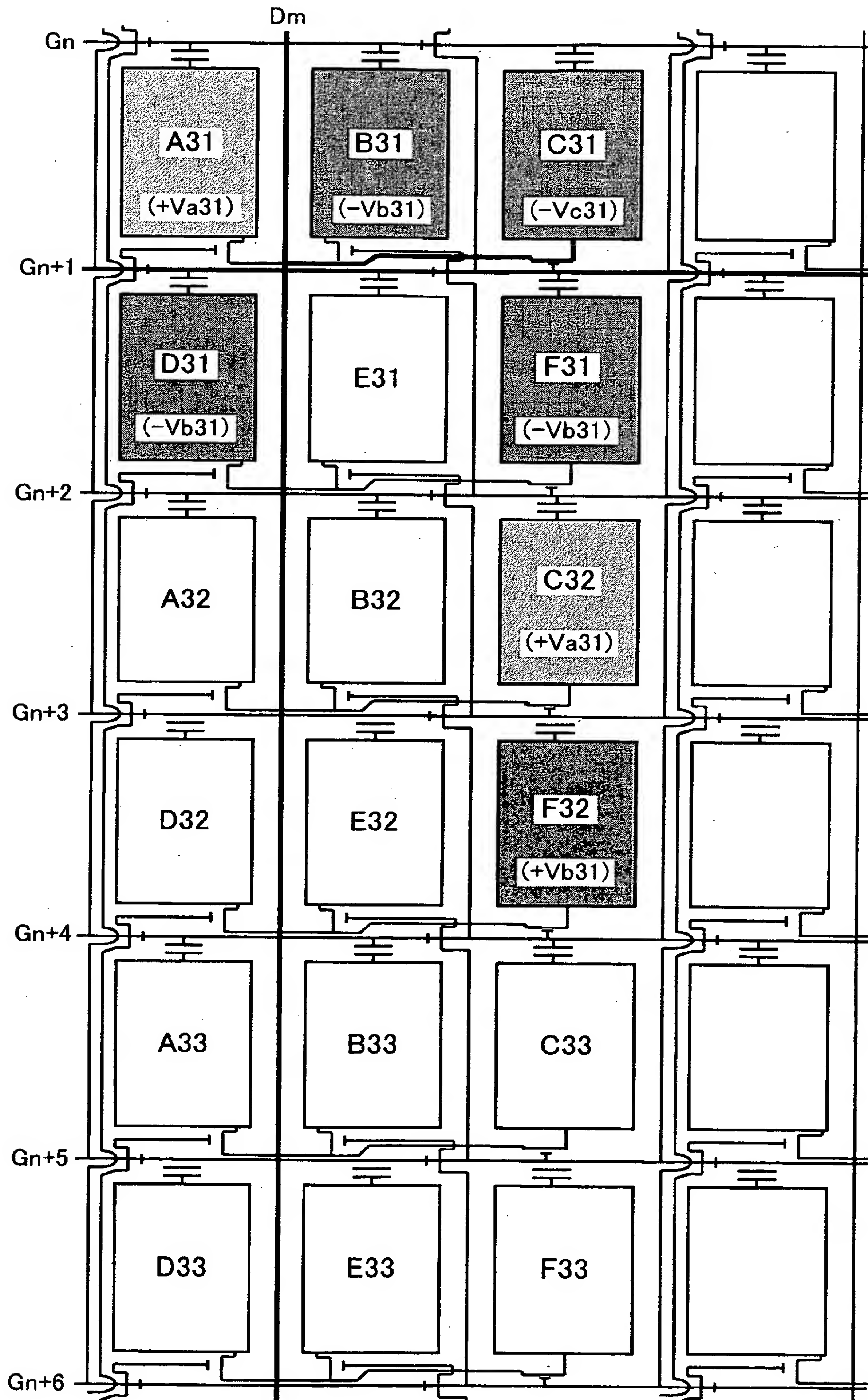
【図 2 1】



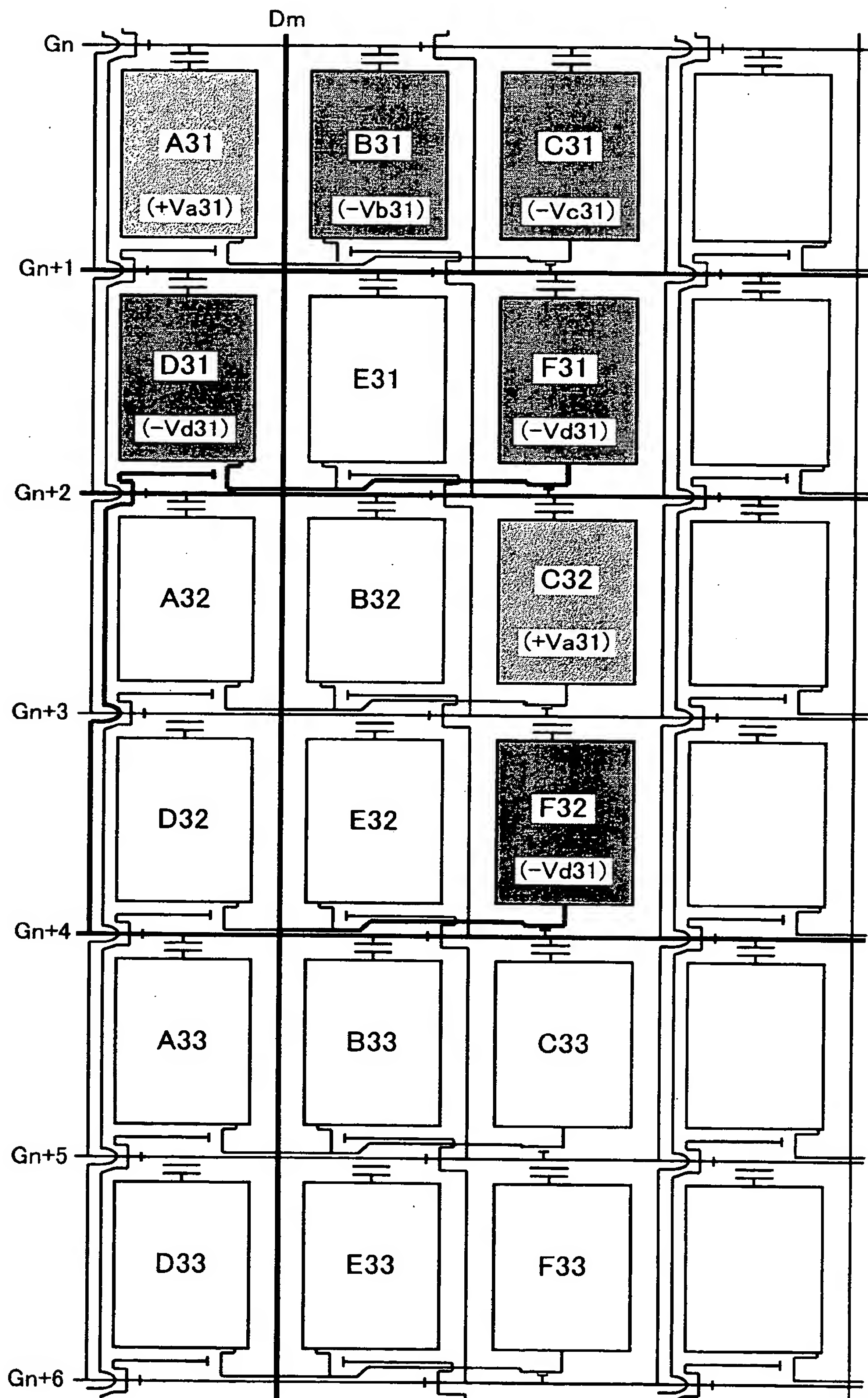
【図 2 2】



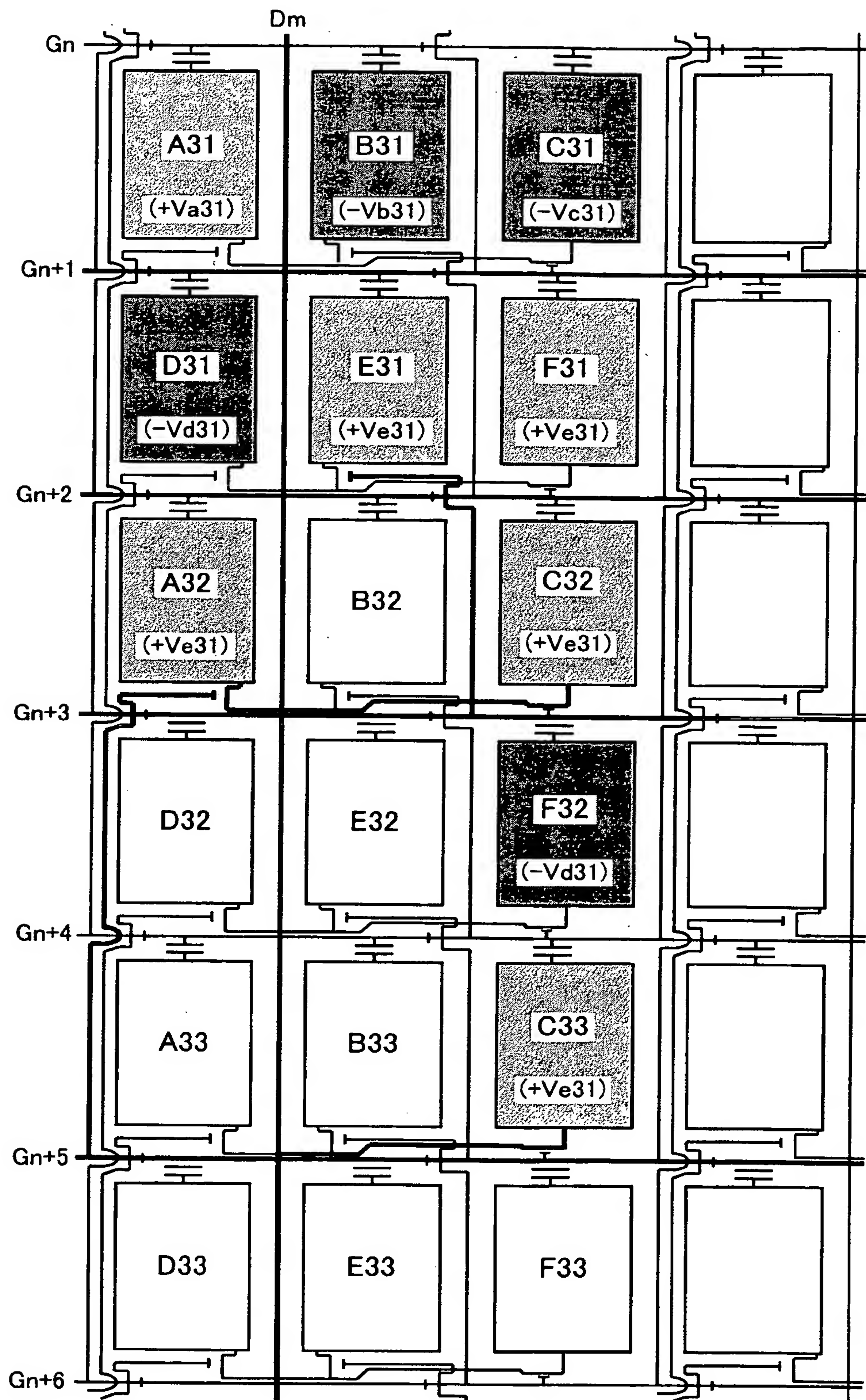
【図 23】



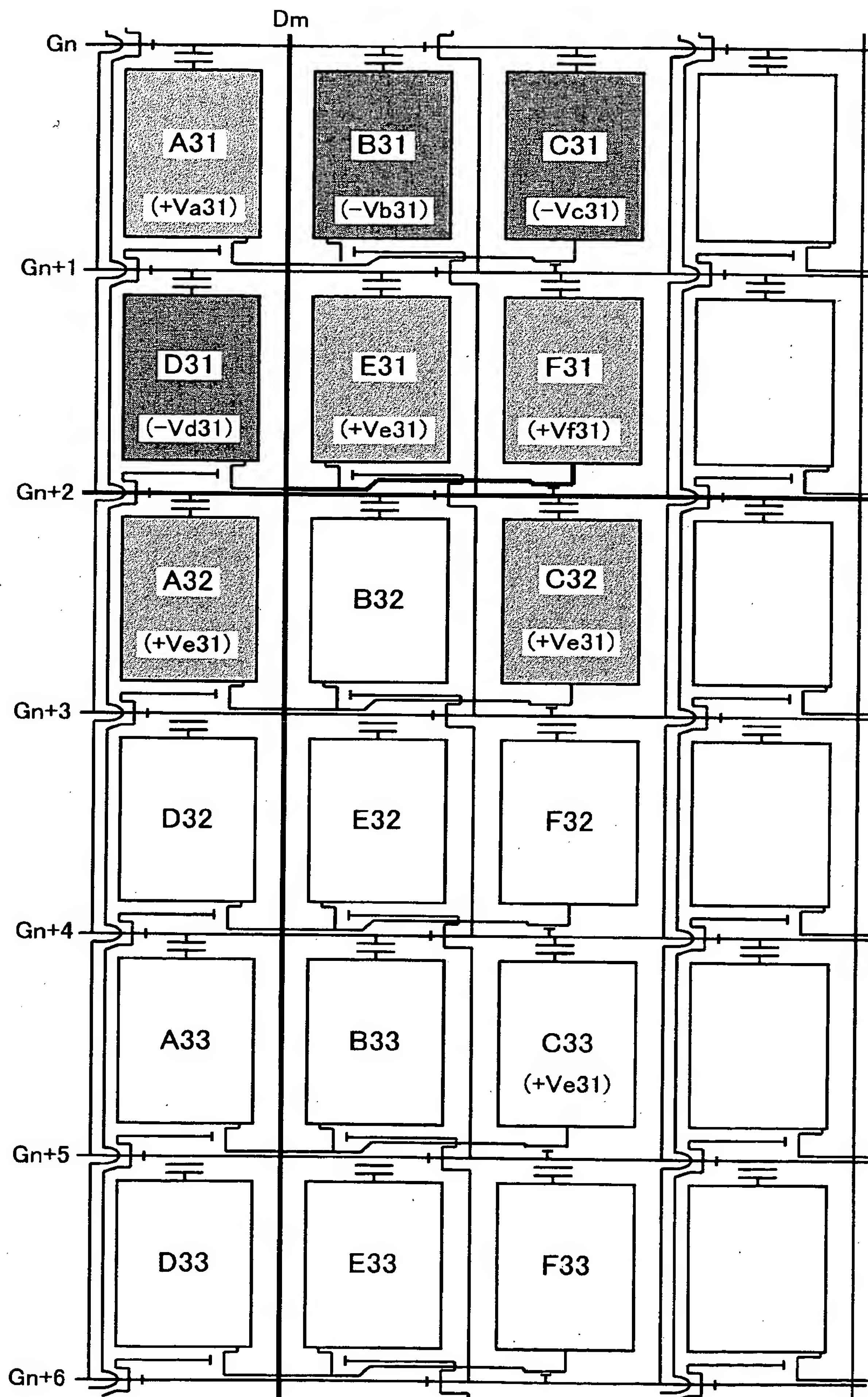
【図 2 4】



【図 2 5】



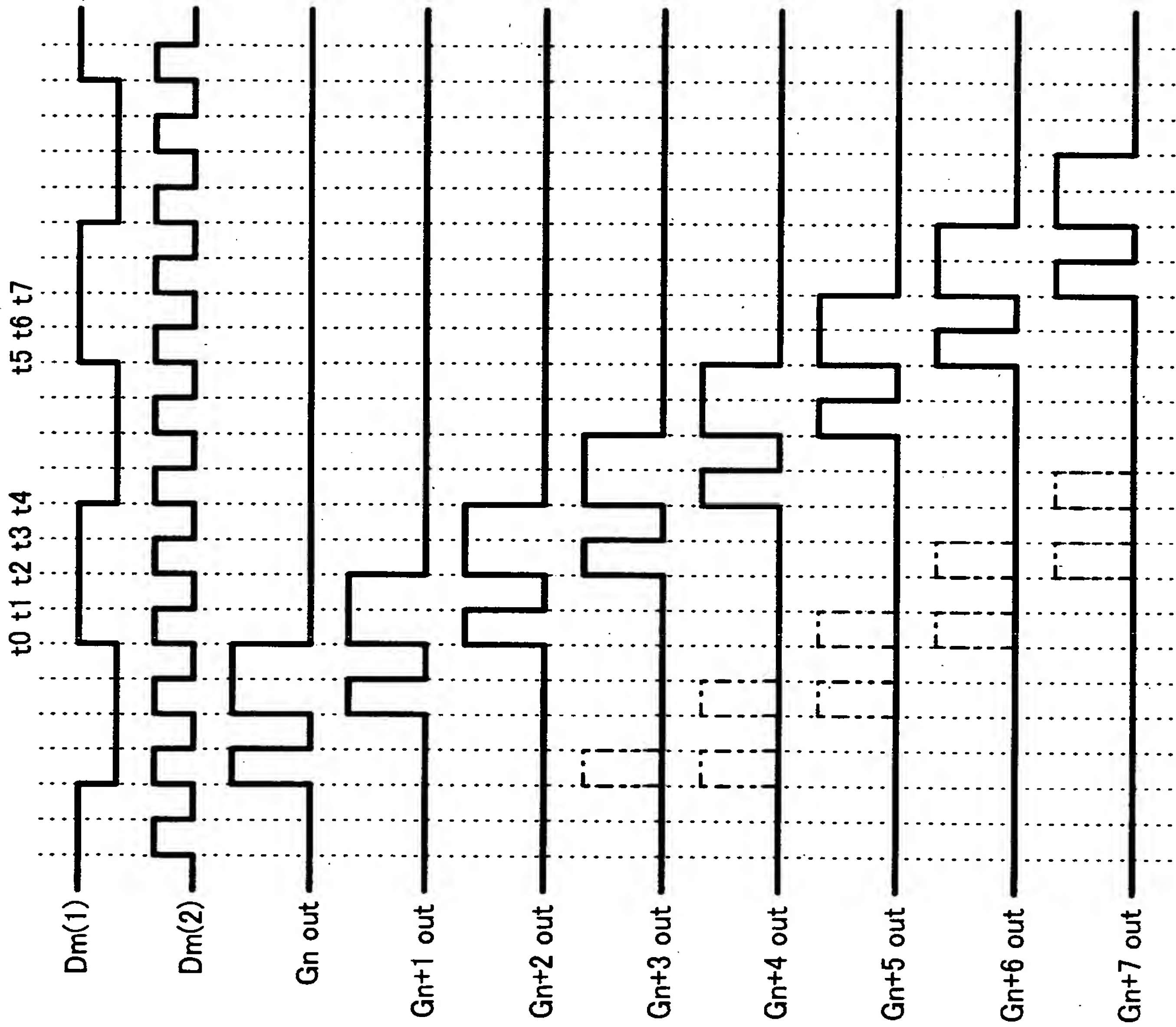
【图 26】



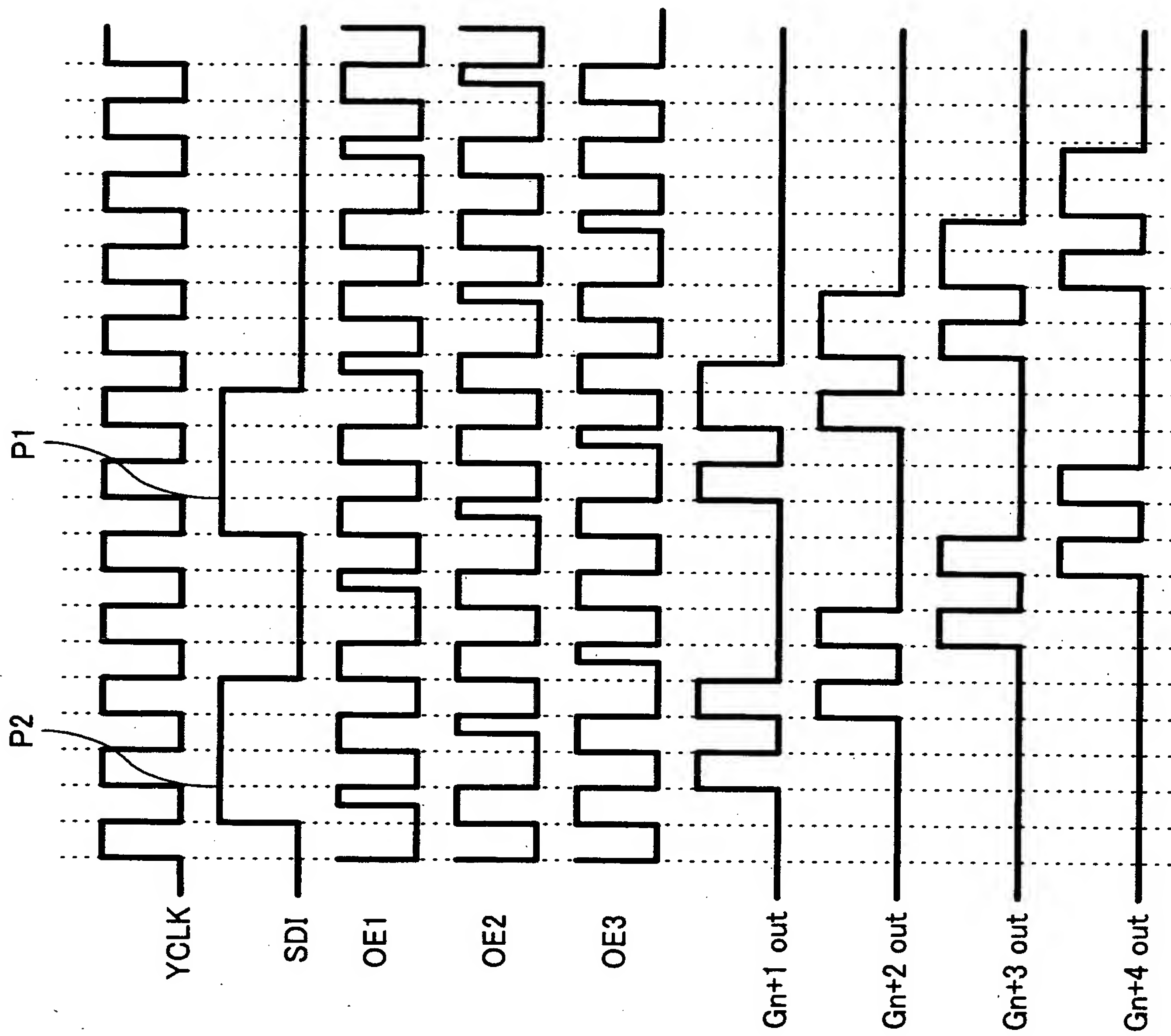
【図 2 7】

Slot	A (D)	B (E)	C (F)
$g(n+1)$	$+A$	$-B$	$-C$
$g(n+2)$	$-$	$+B/PD$	$+$
$g(n+3)$	$+A$	$-$	$-$
$g(n+4)$	$-$	$+PD$	$+$

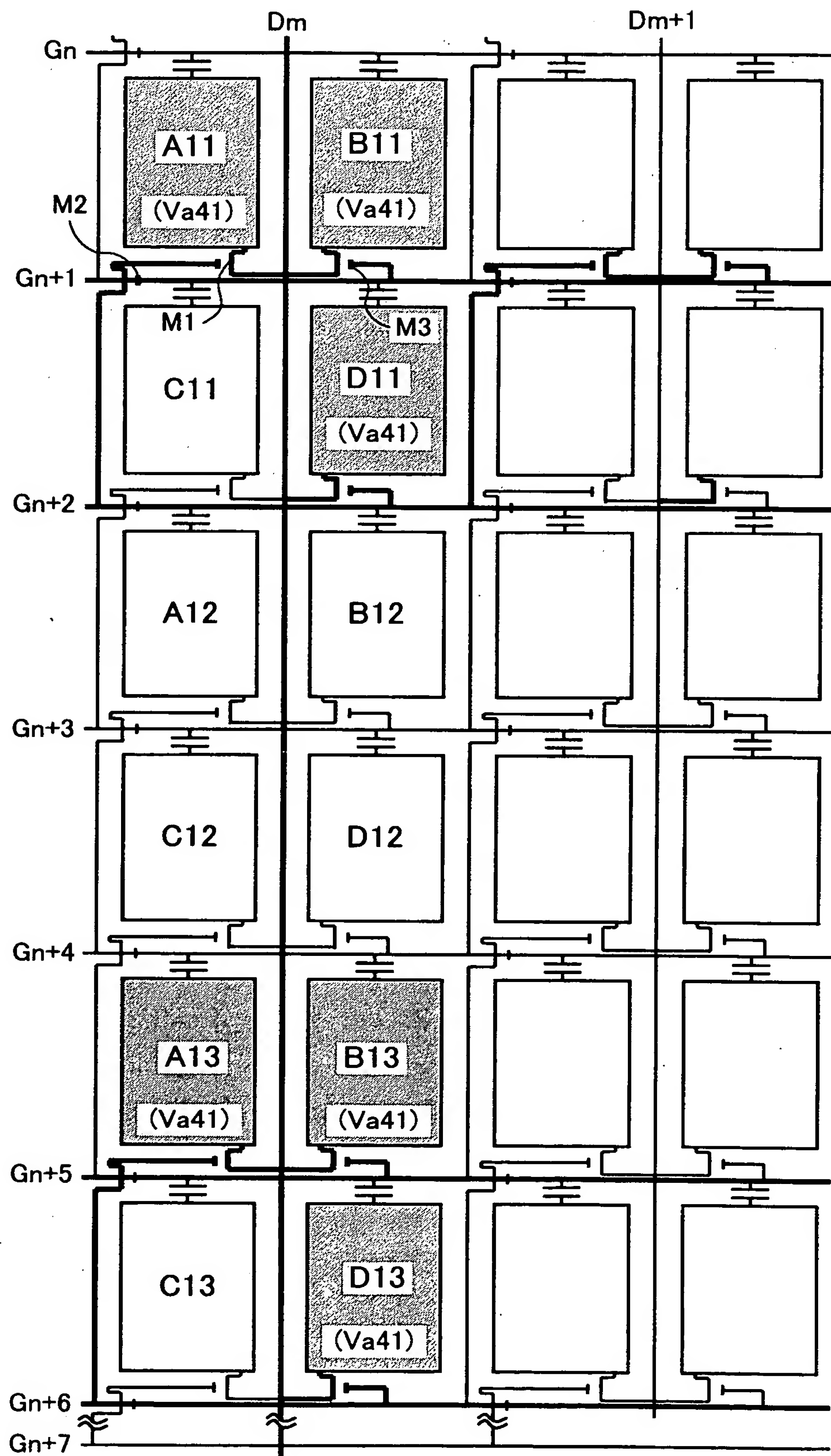
【図 2 8】



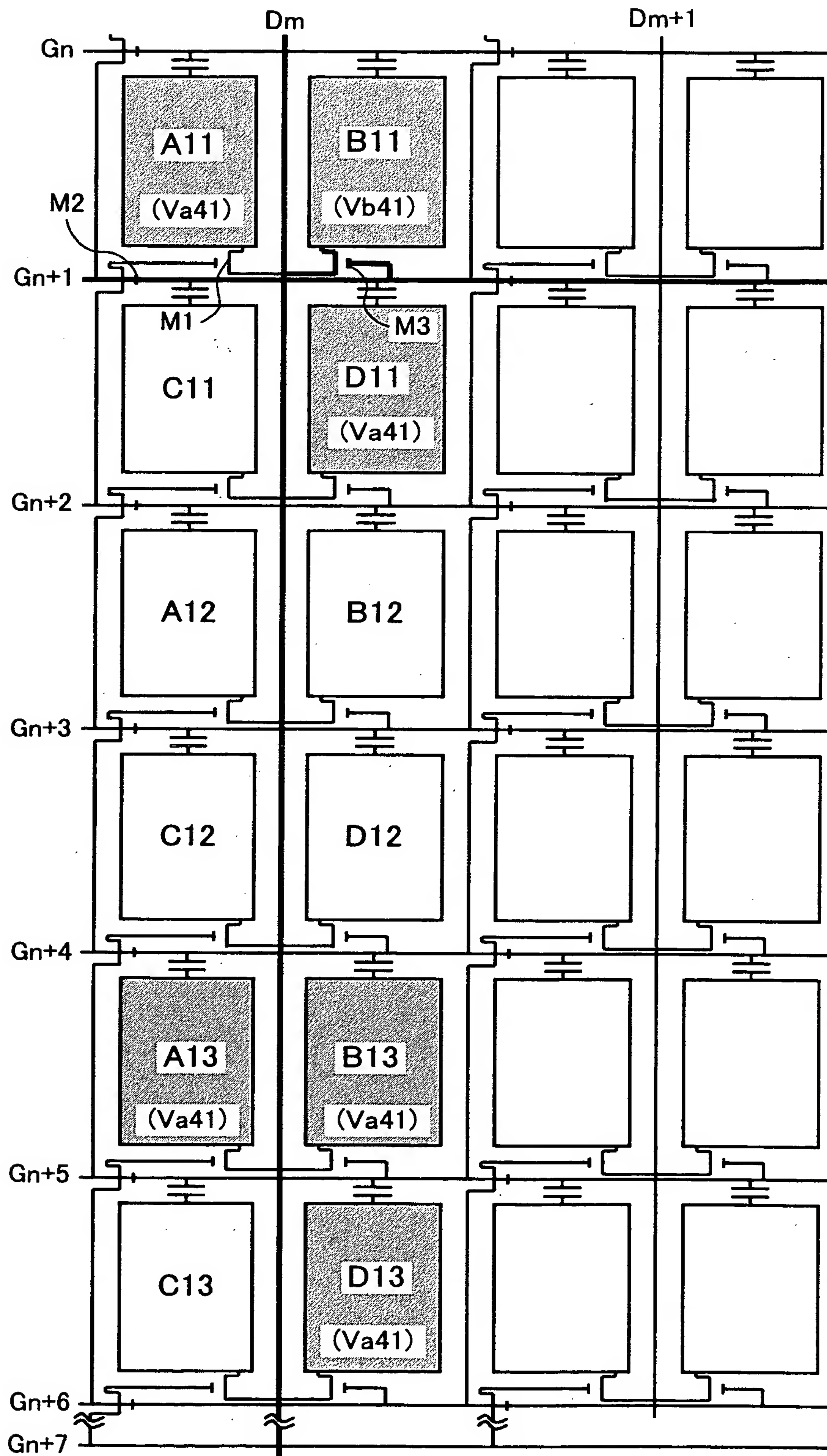
【図 2 9】



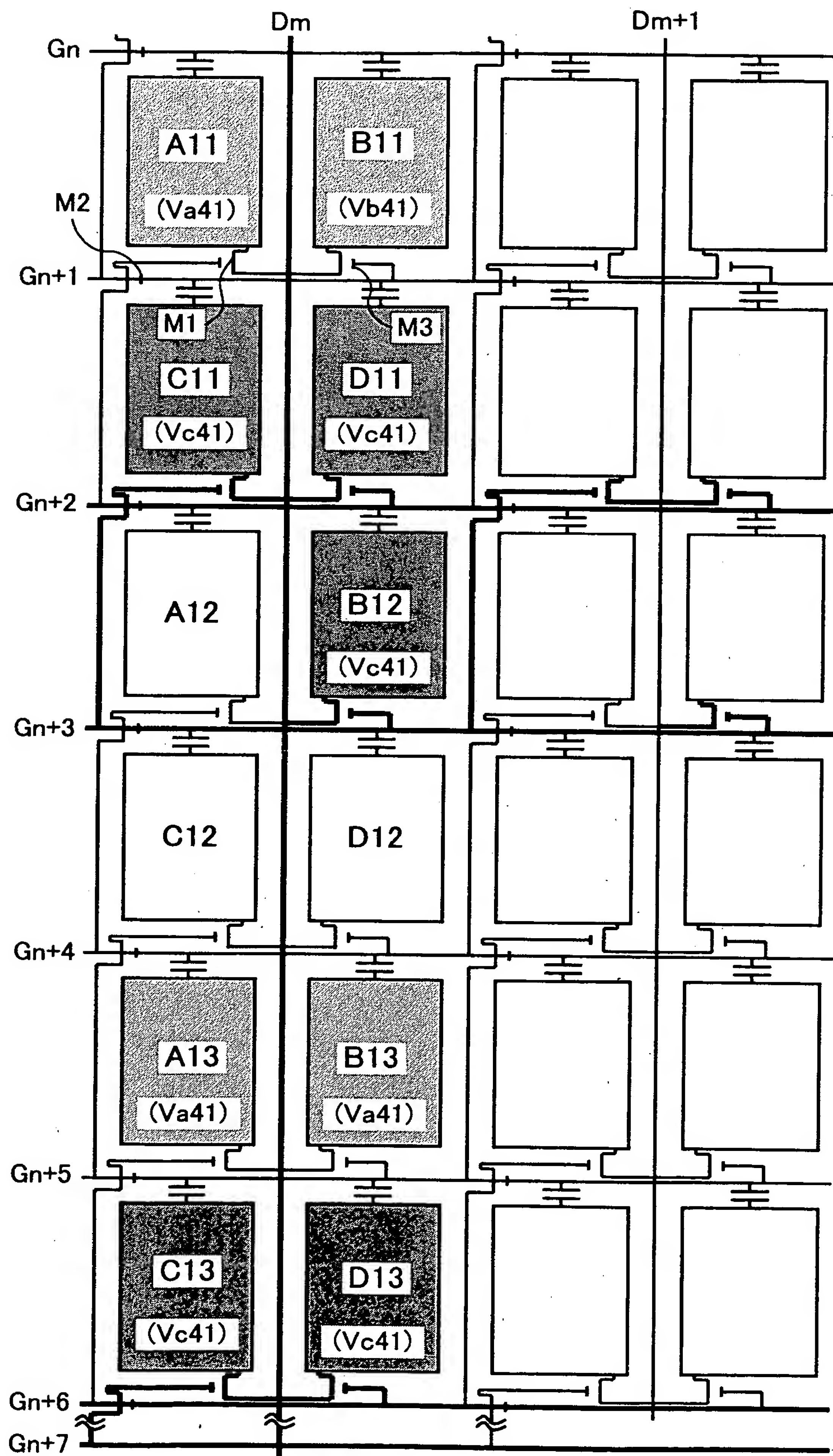
【図 30】



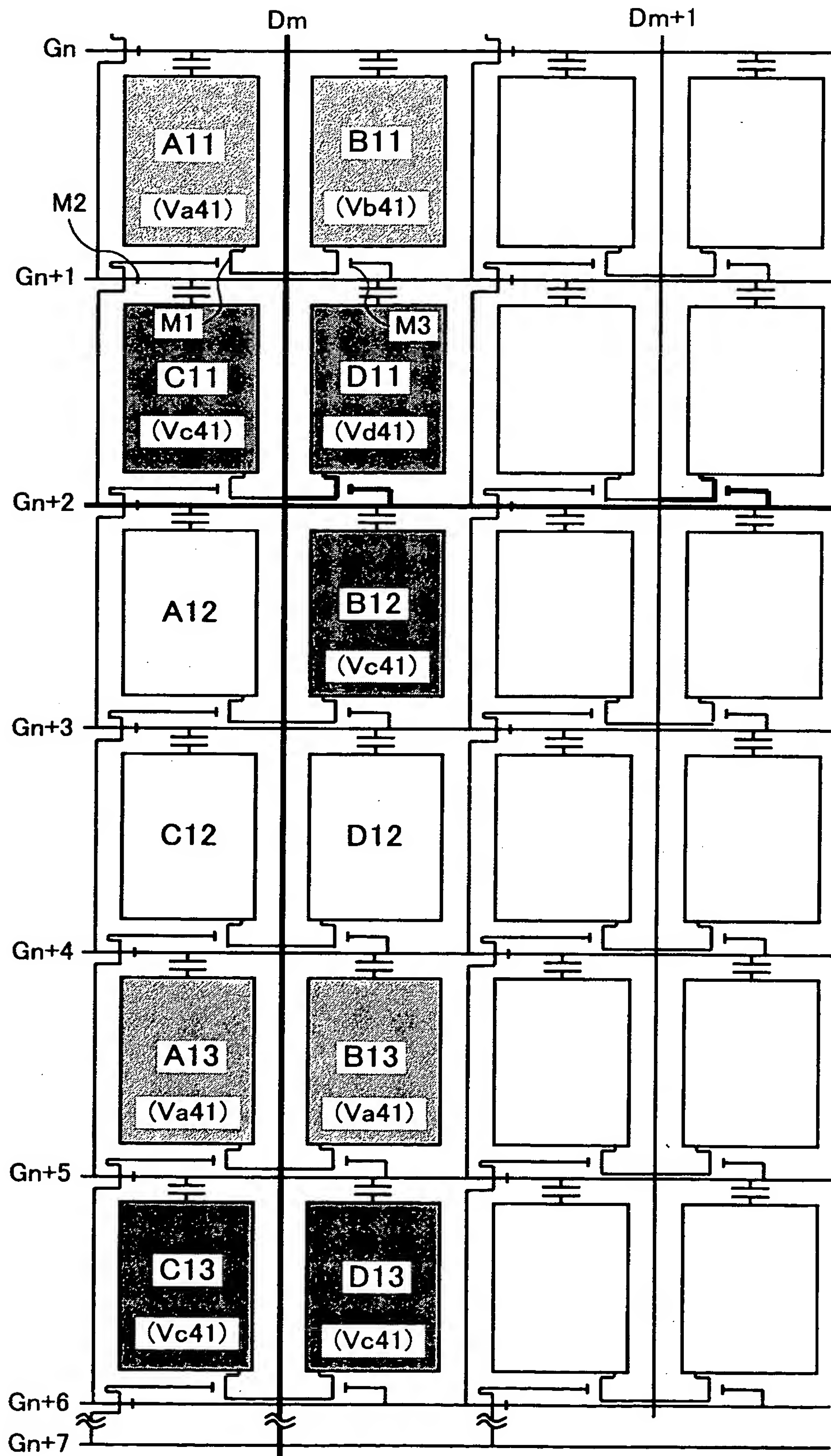
【図 3 1】



【図 3 2】



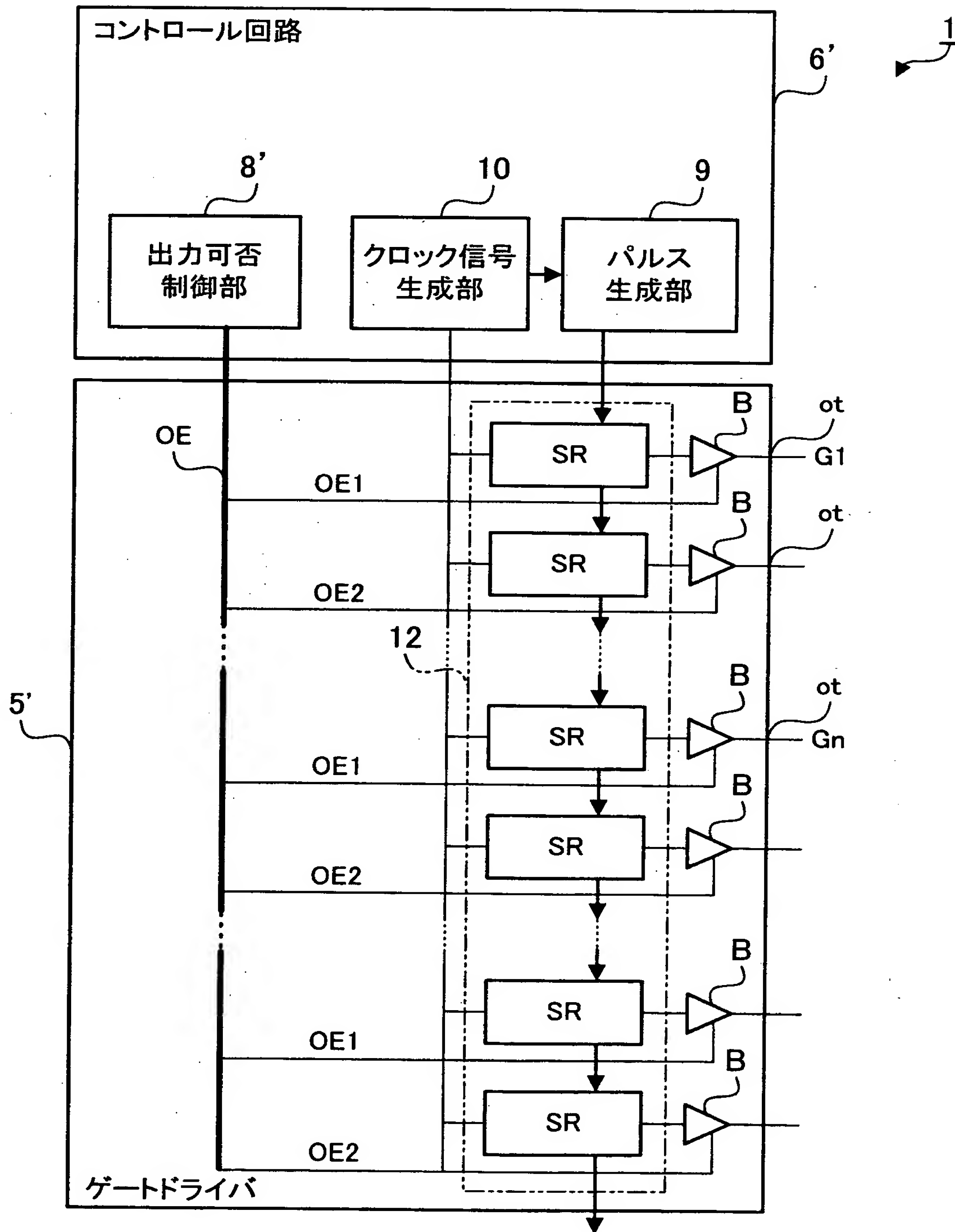
【図 3 3】



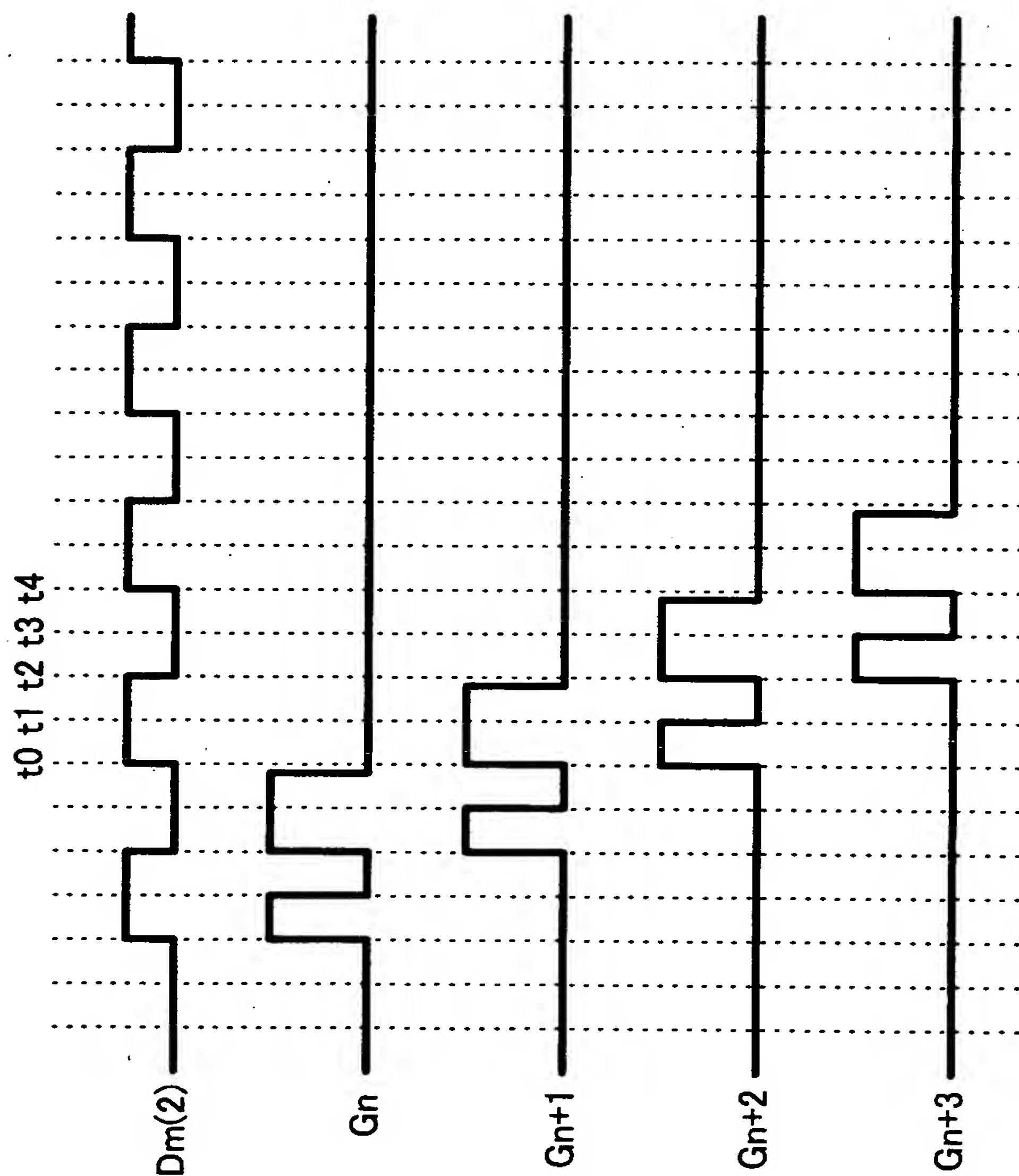
【図 3 4】

Slot	A	B
$g(n+1)$	+A	+B
$g(n+2)$	+A	+
$g(n+3)$	-NoPulse	-NoPulse
$g(n+4)$	-NoPulse	-NoPulse
$g(n+5)$	+PA	+
$g(n+6)$	+PA	+

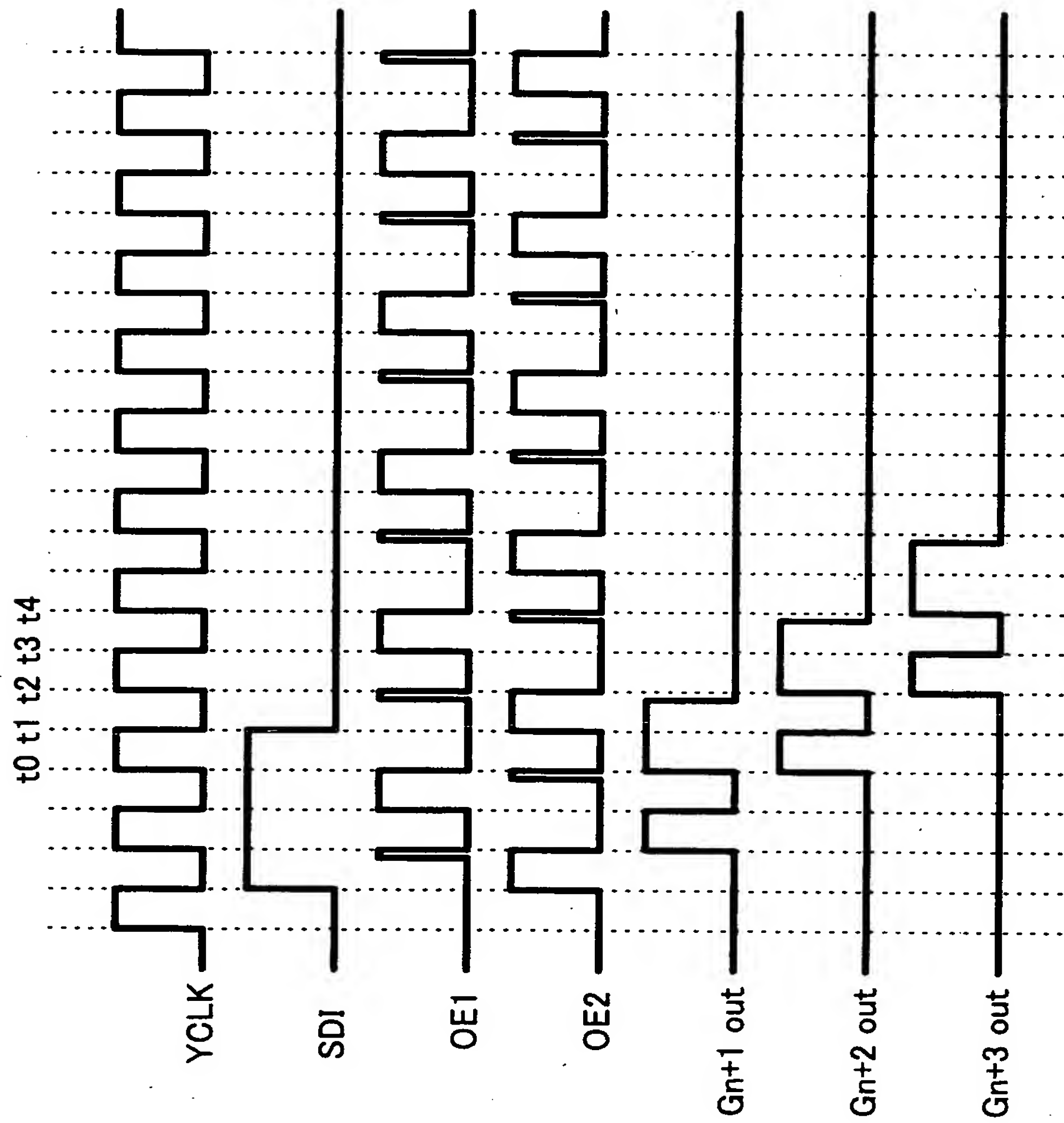
【図 35】



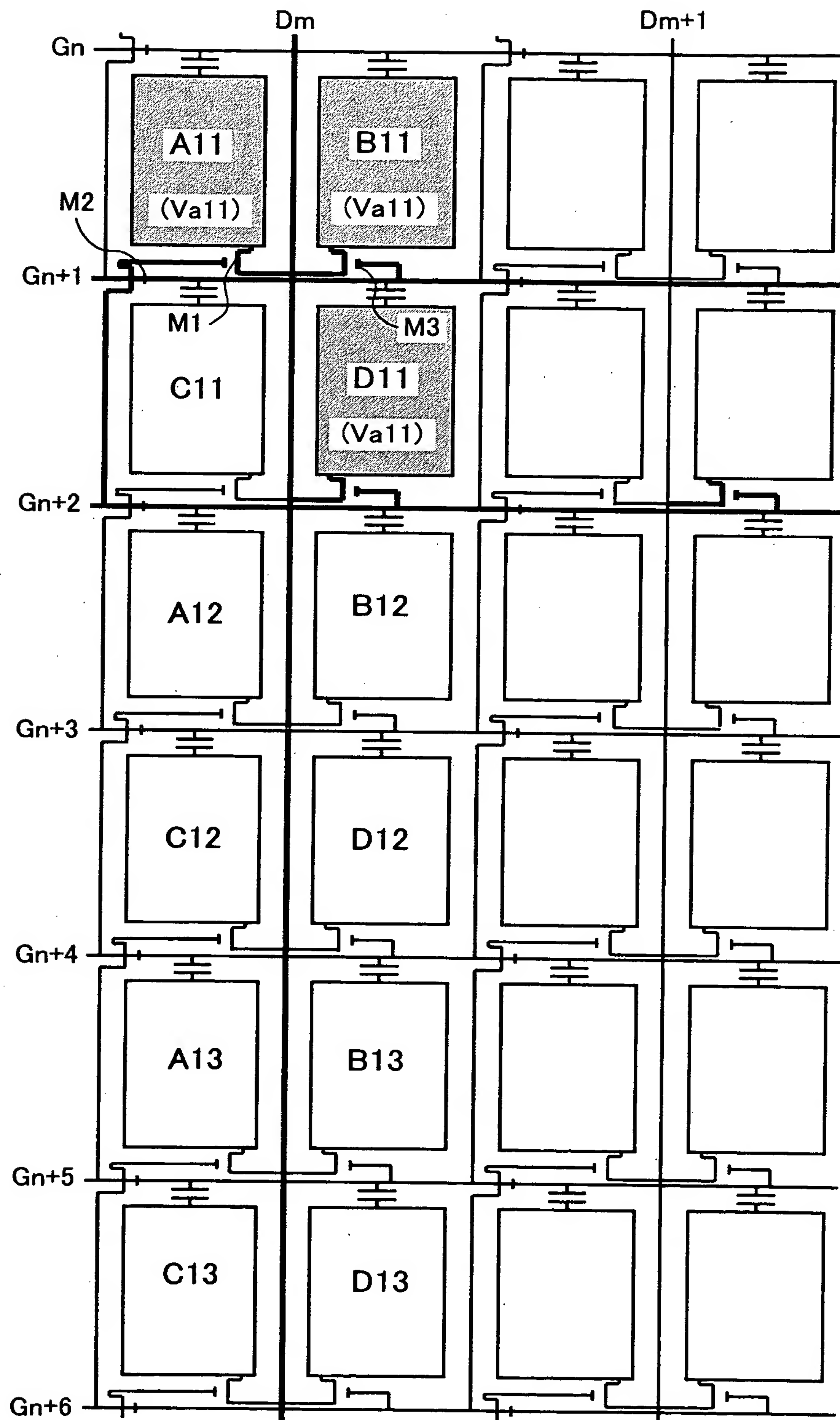
【図 3 6】



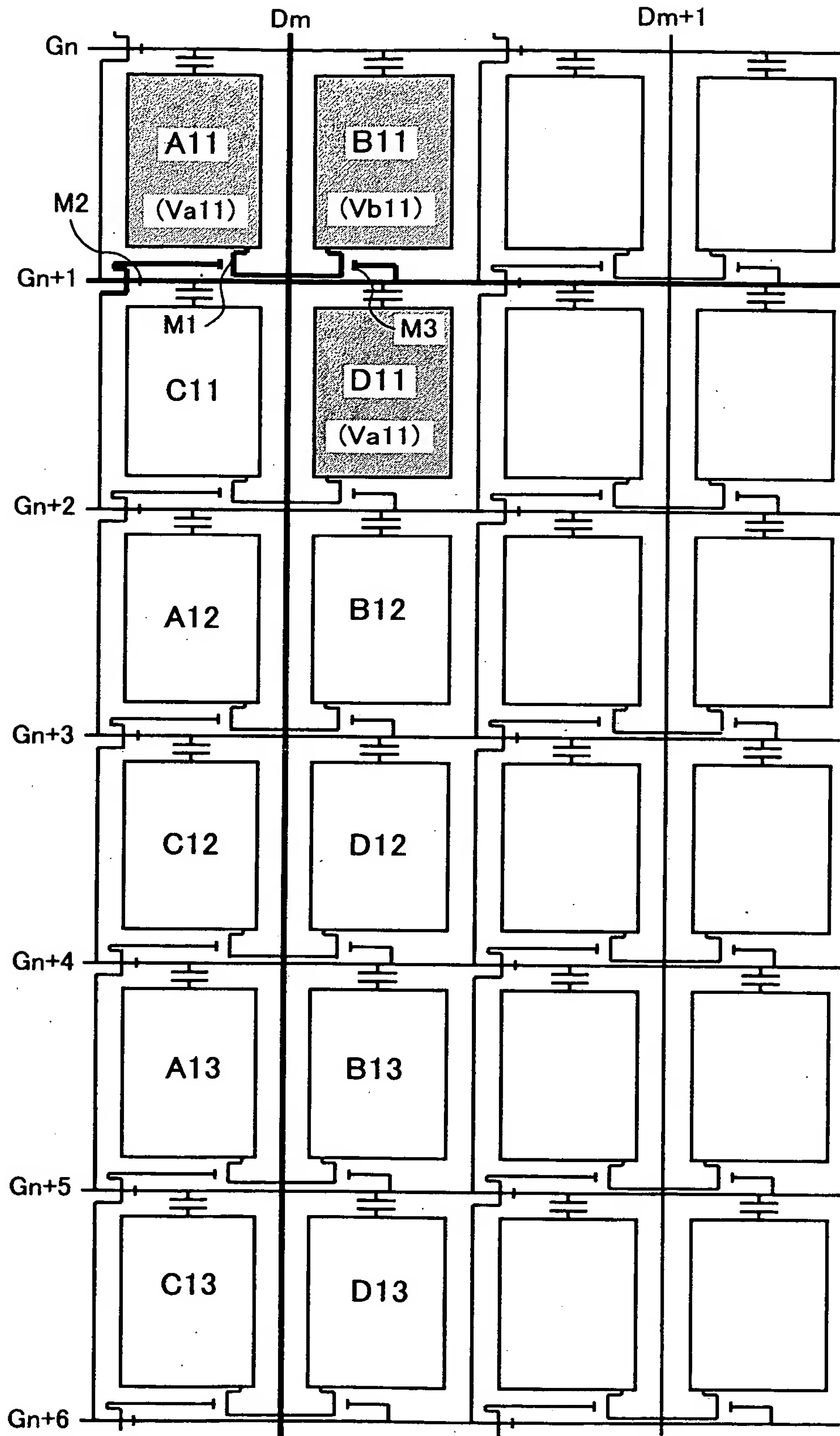
【図 3 7】



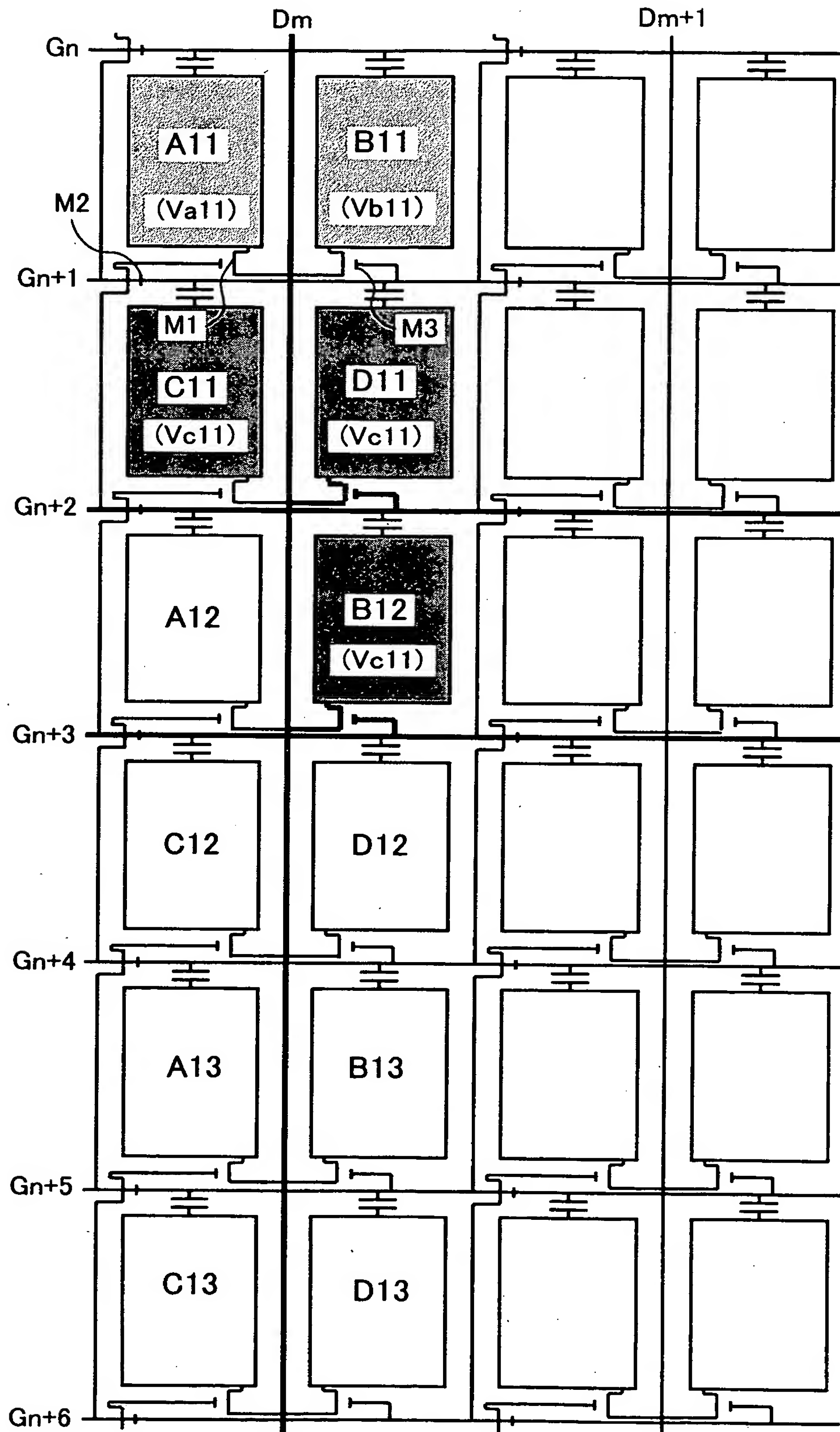
【図 3 8】



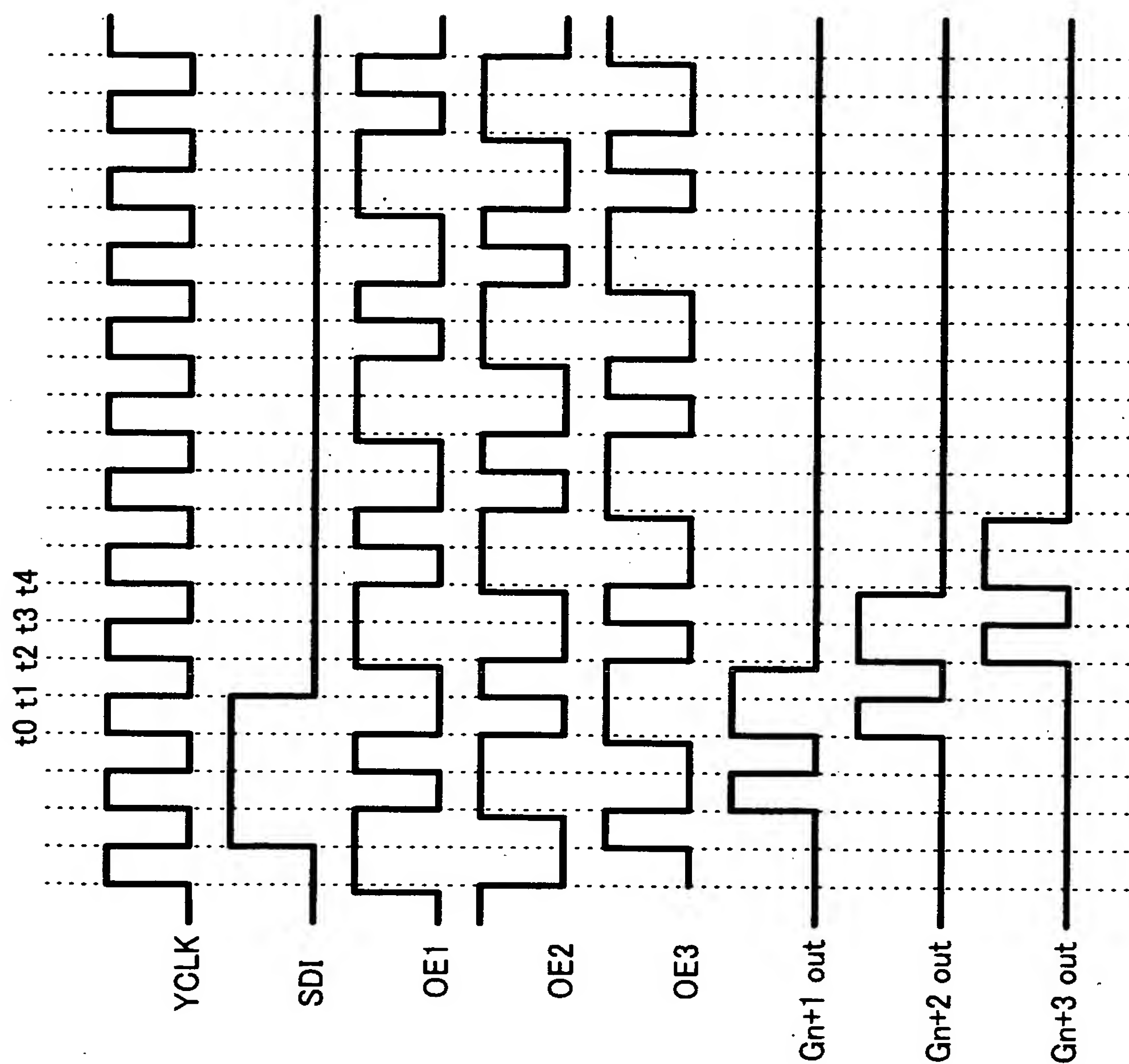
【図 3 9】



【図 4 0】



【図 4 2】



【書類名】 要約書

【要約】

【課題】 効率的に、多重化された画素に選択信号を供給する。

【解決手段】 時間 $t_0 \sim t_2$ において、まず時間 $t_0 \sim t_1$ の間では、走査線 G_{n+1} および G_{n+2} が選択されることにより画素電極 A_{11} が駆動され、次いで、時間 $t_1 \sim t_2$ までの間では走査線 G_{n+1} のみが選択されることにより、画素電極 B_{11} が駆動される。また、時間 $t_1 \sim t_2$ までの間では、走査線 G_{n+3} および G_{n+4} も選択され、これにより画素電極 A_{12} が駆動される。時間 t_2 の後、時間 $t_4 \sim t_5$ までの間に走査線 G_{n+3} および G_{n+4} の双方が選択されて画素電極 A_{12} が駆動されるまで、走査線 G_{n+3} および G_{n+4} のうちの少なくとも一方は非選択とされる。これにより、画素電極 A_{12} を時間 $t_1 \sim t_2$ までの間で予備的に駆動し、時間 $t_4 \sim t_5$ までの間で駆動するまで、画素電極 A_{12} が予備的に印加された電位を保持することができる。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 1 - 3 3 4 5 0 7
受付番号	5 0 1 0 1 6 0 8 0 7 5
書類名	特許願
担当官	田中 則子 7 0 6 7
作成日	平成 1 3 年 1 2 月 1 2 日

< 認定情報・付加情報 >

【特許出願人】

【識別番号】	390009531
【住所又は居所】	アメリカ合衆国 1 0 5 0 4、ニューヨーク州 アーモンク (番地なし)
【氏名又は名称】	インターナショナル・ビジネス・マシーンズ・コーポレーション

【代理人】

【識別番号】	100086243
【住所又は居所】	神奈川県大和市下鶴間 1 6 2 3 番地 1 4 日本アイ・ビー・エム株式会社 大和事業所内
【氏名又は名称】	坂口 博

【代理人】

【識別番号】	100091568
【住所又は居所】	神奈川県大和市下鶴間 1 6 2 3 番地 1 4 日本アイ・ビー・エム株式会社 大和事業所内
【氏名又は名称】	市位 嘉宏

【代理人】

【識別番号】	100106699
【住所又は居所】	神奈川県大和市下鶴間 1 6 2 3 番 1 4 日本アイ・ビー・エム株式会社大和事業所内
【氏名又は名称】	渡部 弘道

【復代理人】

【識別番号】	100104880
【住所又は居所】	東京都港区赤坂 5 - 4 - 1 1 山口建設第 2 ビル 6 F セリオ国際特許事務所
【氏名又は名称】	古部 次郎

【選任した復代理人】

【識別番号】	100100077
--------	-----------

次頁有

認定・付加情報（続き）

【住所又は居所】 東京都港区赤坂5-4-11 山口建設第2ビル
6F セリオ国際特許事務所
【氏名又は名称】 大場 充

出 願 人 履 歴 情 報

識別番号 [390009531]

1. 変更年月日 2000年 5月16日

[変更理由] 名称変更

住 所 アメリカ合衆国10504、ニューヨーク州 アーモンク (番地なし)

氏 名 インターナショナル・ビジネス・マシーンズ・コーポレーション

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.